nr ind. 367141

NOWY ELEKTRONIK

5/91

miesięcznik elektroników cena 4000 zł

NOWY 5/91
ELEKTRONIK

Spis treści

Jak zamieścić ogłoszenie w „NE"

Aby zamieścić ogłoszenie w „NOWYM ELEKTRONIKU" należy przesłać treść ogłoszenia do redakcji na adres: P.W. „ARTCOM". Redakcja ·,NOWEGO ELEKTRONIKA" 82-300 Elbląg, skr. poczt. 100. Po otrzymaniu treści ogłoszenia redakcja prześle rachunek do zleceniodawcy ogłoszenia.

CENY:
— 1 cm² ogłoszenia 5.000 zł (najmniejsze ogłoszenie 18 cm²)
— ogłoszenia drobne do 40 słów od osób prywatnych 1000 zł za słowo
— ogłoszenia drobne powyżej 40 słów i ogłoszenia od firm 3000 zł za słowo

Za treść ogłoszeń redakcja nie ponosi żadnej odpowiedzialności.

Warunki prenumeraty

1. Przyjęcie — wyłącznie na podstawie dokonanej wpłaty na blankietach bankowych
2. Dane na blankiecie — dokładny adres zamawiającego, liczba zamawianych egzemplarzy i okres prenumeraty
3. Wpłata — zgodnie z podanymi cenami. Wpłat należy dokonywać w PKO, w placówkach pocztowych lub bankach na konto: Przedsiębiorstwo Wielobranżowe „ARTCOM" J. Ryszard Świątkowski 82-300 Elbląg, ul. Malborska 88/74 — B.P. PKO Elbląg nr konta 17516-38276-136
4. Terminy przyjmowania prenumeraty:
   — do 10 czerwca na III, IV kwartał 1991 r.
   — do 10 września na IV kwartał 1991 r.
5. Cena prenumeraty:
   — za kwartał III, 9 300 zł
   — za kwartał III, IV 18 600 zł
   W przypadku wzrostu ceny w okresie objętym prenumeratą, prenumeratorzy są zobowiązani do dopłaty różnicy w cenie.
6. Inne informacje — Redakcja „NOWEGO ELEKTRONIKA", Elbląg tel. (0-50) 284-44.

ADRES REDAKCJI — P.W. „ARTCOM" Redakcja „NOWEGO ELEKTRONIKA" skr. poczt. 100, 82-300 Elbląg, tel. (0-50) 284-44.

Redaktor naczelny — J. Ryszard Świątkowski
Redakcja zastrzega sobie prawo skracania i korekty nadesłanych artykułów.
Wydawca — Przedsiębiorstwo Wielobranżowe „ARTCOM" 82-300 Elbląg, skr. poczt. 100 tel. (0-50) 284-44.
Skład i druk — Grudziądzkie Zakłady Graficzne im. W. Kulerskiego, pl. Wolności 5. Zam. 480 — Nakład 50.000 egz.

Ogłoszenia

mgr inż. Robert Krzysztofek

ICL 7109 CMOS — parametry, działanie, charakterystyki czasowe - cz. 2

1 PARAMETRY UKŁADU

1.1. Wartości graniczne

— dodatnie napięcie zasilania (GND — V+)	+6,2 V
— ujemne napięcie zasilania (GND — V—)	—9 V
— wejściowe napięcie części analogowej (LO lub HI) (uwaga 1)	V+ do V—
— wejściowe napięcie referencyjne (LO lub HI) (uwaga 1)	V+ do V—
— wejściowe napięcie części cyfrowej (uwaga 2)	V+—0,3 V do GND +0,3 V
— temperatura pracy — obudowa plastikowa CPL	0°C <=T <=70°C
— obudowa ceramiczna MDL	—55°C <=T <=125°C
— moc rozpraszana (uwaga 3) — obudowa plastikowa	500 mW (+70°C)
— obudowa ceramiczna	1 W (+85°C)
— temperatura wyprowadzeń (lutowanie 60 s)	+300°C

Uwagi: 1. Napięcia wejściowe mogą przekraczać napięcia zasilania pod warunkiem, że prąd wejściowy będzie ograniczony do 100 μA

2. Podłączanie jakichkolwiek wejść lub wyjść cyfrowych do napięcia wyższego od V+ lub niższego od GND grozi uszkodzeniem układu. Dlatego zaleca się, by zasilanie ICL7109 było załączane pierwsze a wyłączane ostatnie.

3. Ograniczenia te wynikają z własności obudowy i nie powinny być osiągane w czasie normalnej pracy.

1.2. Parametry części analogowej układu (V+=5 V, V—= —5 V, GND=OV, T=25°C, obwód testowy wg rys. 1).

Tabela nr 1

PARAMETR	WARUNKI	MIN.	TYP.	MAX.	Jed.
Odczyt przy $V_{IN}=0$ V	$V_{IN}=0$ V, pełna skala= =409,6 mV	-0000_8	$\pm 0000_8$	$+0000_8$	ósemkowo
Odczyt przy $V_{IN}=V_{REF}$	$V_{IN}=V_{REF}$, $V_{REF}=204{,}8$ mV	3777_8	3777_8 4000_8	4000_8	ósemkowo
Nieliniowość (max. odch. od najlepiej dopa. prostej)	Pełna skala=409,6 mV do 4,096 V	−1	±2	+1	zliczenia
Błąd „roll over" (różnica w odcz. dla jednak. dodatniego i ujemnego wej. blisko pełnej skali)	Pełna skala=409,6 mV do 4,096 V	−1	±2	+1	zliczenia
Współczynnik tłumienia sygnału wspólnego CMRR	$V_{CM}=\pm 1$ V, $V_{IN}=0$ V pełna skala=409,6 mV		50		μV/V
Zakres napięć wej. wspólnych		V—+1,5	V+−0,5 do V—+1,0	V+−1,0	V
Szumy	$V_{IN}=0$, pełna skala= =409,6 mV		15		μV
Wej. prąd upływu	$V_{IN}=0$ T=25°C 0 <=T <=70°C −55°C <=T <=125°C		1 20 2	10 100 5	pA pA nA
Dryf zera odczytu	$V_{IN}=0$		0,2	1	μV/°C
Współczynnik temp. mnożnika skali	$V_{IN}=408{,}9$ mV to odczyt 7770_8		1	5	10^{-6}/°C
Prąd zasilania V+−GND Prąd zasilania V+−V—	$V_{IN}=0$ końcówki 2—21, 25—27, 29 nie podłączone		700 700	1500 1500	μA μA
Wyjściowe napięcie referencyjne (pin 29)	Względem V+, 25 kΩ między V+ i REF OUT	−2,4	−2,8	−3,2	V
Współczynnik temp. wyj. napięcia ref.	jak wyżej		80		10^{-6}/°C

1.3. Paramerty części cyfrowej układu

Tabela nr 2

Parametr	Warunki	Min.	Typ.	Max.	Jed.
Napięcie w stanie wysokim na wyj. V_{OH}	$I_{OUT}=100\ \mu A$ końcówki 2—16, 18, 19, 20	3,5	4,3		V
Napięcie w stanie niskim na wyj. V_{OL}	$I_{OUT}=1,6$ mA		0,2	0,4	V
Wyj. prąd upływu	Końcówki 3—16 w sta. wysokiej impedancji		±0,01	±1	μA
Napięcie wej. w stanie wysokim V_{IH}	Końcówki 18—21, 26, 27 względem GND	2,5			V
Napięcie wej. w stanie niskim V_{IL}	Jak wyżej			1	V
Szerokość impulsu na wejściu MODE		50			ns

2. SEKCJA ANALOGOWA UKŁADU

Rys. 2 przedstawia zastępczy obwód sekcji analogowej ICL7109. Gdy wejście RUN/HOLD jest w stanie HI, obwód będzie dokonywał konwersji w tempie ustalonym przez częstotliwość zegara (8192 impulsy zegarowe w cyklu). Każdy cykl pomiarowy jest podzielony na trzy fazy, co pokazano na rys. 3. Są to: 1. Auto-Zero (AZ), 2. Całkowanie sygnału (INT), 3. Rozładowanie (deintegracja DEINT).

— Faza auto-zero: dzieją się tu trzy rzeczy. Po pierwsze wejścia HI i LO są odłączone od swych wyprowadzeń i wewnętrznie zwarte z COMMON. Po drugie: kondensator referencyjny jest ładowany do napięcia odniesienia. Po trzecie: pętla sprzężenia zwrotnego zamyka system w celu naładowania kondensatora C_{AZ} dla kompensacji napięć niezrównoważenia we wzmacniaczu separującym, integratorze i komperatorze. Ponieważ komperator jest włączony w pętlę, dokładność zerowania jest ograniczona tylko przez szumy systemu. W każdym razie niezrównoważenie w odniesieniu do wejścia jest mniejsze od 10 μV.

— Faza całkowania sygnału: podczas całkowania sygnału pętla auto-zero jest otwarta, wewnętrzne zwarcia są usunięte, a wewnętrzne wejścia IN_{HI} i IN_{LO} są dołączone do wyprowadzeń. Przetwornik całkuje więc różnicę napięć między IN_{HI} i IN_{LO} w ustalonym czasie 2048 impulsów zegarowych. Na końcu tej fazy określana jest polaryzacja wejściowego sygnału.

— Faza rozładowania: ostatnią fazą jest deintegracja, czyli rozładowanie integratora napięciem wzorcowym. IN_{LO} jest wewnętrznie zwarte z COMMON, a IN_{HI} dołączone do kondensatora referencyjnego naładowanego w fazie auto-zero do napięcia odniesienia. Dołączenie kondensatora z prawidłową polaryzacją jest zapewnione przez wewnętrzne obwody układu. Powrót napięcia na wyjściu integratora do zera odbywa się ze stałym nachyleniem. Tym sposobem czas powrotu do zera reprezentowany przez liczbę zliczonych impulsów jest proporcjonalny do sygnału wejściowego V_{IN}.

Z opisanej tu zasady działania wynika, że ICL7109 mierzy stosunek napięcia wejściowego do referencyjnego, a zależności czasowe wskazują, że ten stosunek nie może być większy od dwóch.

3. DOBÓR ELEMENTÓW ZEWNĘTRZNYCH

Dla optymalnego działania sekcji analogowej należy zachować staranność w doborze wartości opornika i kondensatora integratora, kondensatora auto-zero, napięcia odniesienia i prędkości przetwarzania. Najważniejsze jest to, aby napięcie wyjściowe integratora miało amplitudę tak wielką, jak to tylko możliwe. Np. przy zasilaniu ±5 V i COMMON dołączonym do GND nominalna amplituda U_{wy} integratora dla pełnej skali napięć wejściowych wynosi ±4 V. Ponieważ U_{wy} może dochodzić do poziomu o 0,3 V odległego od napięć zasilających bez znaczącego wpływu na liniowość, amplituda 4 V dopuszcza 0,7 V zmian tejże, spowodowanych tolerancjami elementów dyskretnych i oscylatora.

Przy zasilaniu ±5 V i wymaganym zakresie zmian wspólnego napięcia wejściowego ±1 V, elementy zewnętrzne należy dobrać tak, aby zapewnić amplitudę U_{wy} integratora ±3 V. Wzrosną nieznacznie szumy. Dla większych napięć wspólnych amplitudę trzeba zredukować jeszcze bardziej. Zwiększa to szumy i błędy. Dla poprawy działania można zwiększyć zasilanie do ±6 V.

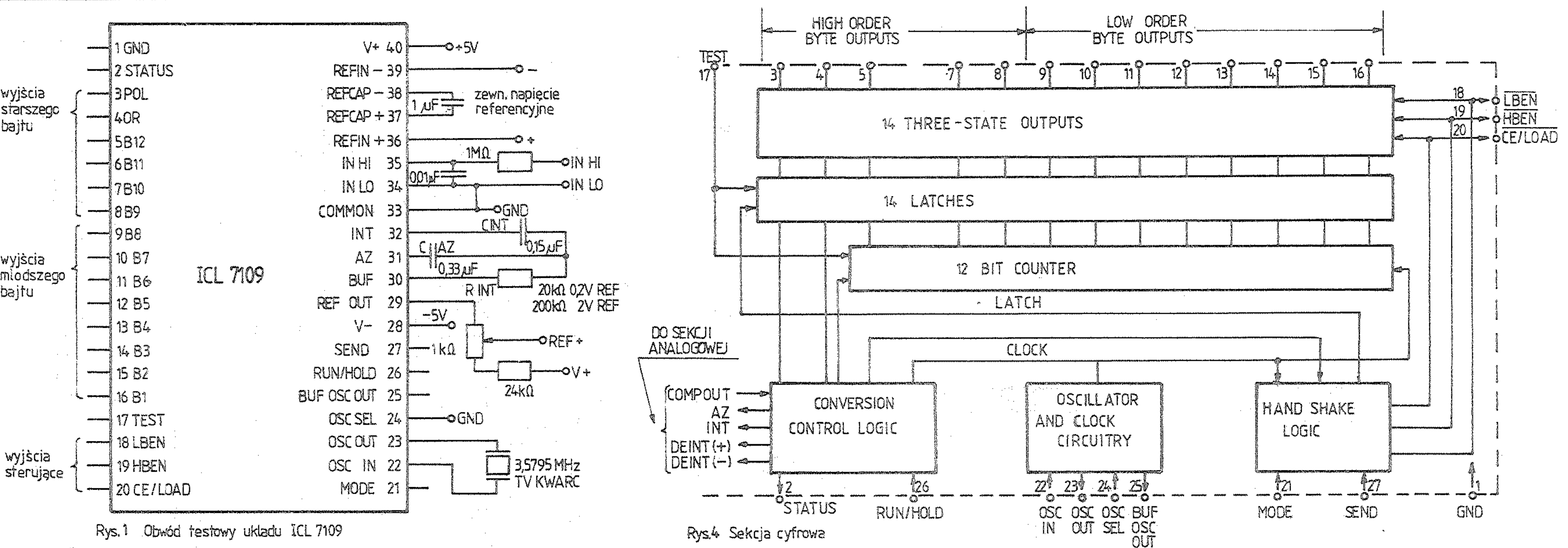
— Opornik całkujący: wzmacniacz separujący i integrator mają stopnie wyjściowe w klasie A ze 100 μA prądu spoczynkowego. Dostarczają 20 μA „prądu napędzającego" o pomijalnie małej nieliniowości. Opornik całkujący winien być wystarczająco duży, by utrzymać w tym obszarze wielkiej liniowości cały zakres napięcia wejściowego, lecz wystarczająco mały, by niepożądane prądy upływu nie miały znaczenia. Wartość opornika wybieramy ze wzoru R_{INT} = pełny zakres U_{we} w V/20 μA, 20 kΩ $<=$ $= R_{INT} < =$ 200 kΩ.

— Kondensator całkujący: winien być dobrany dla uzyskania maksymalnej amplitudy U_{wy} bez nasycania integratora (około 0,3 V od każdego z napięć zasilających). Dla zasilania ±5 V i COMMON zwartym z GND nominalną amplitudą jest ±3,5 do ±4 V. Pojemność C_{INT} obliczamy ze wzoru: C_{INT}=(2048*okres zegara) * 20 μA/amplituda U_{wy} integratora. Dodatkowym wymaganiem dla C_{INT} są małe straty w dielektryku dla zapobieżenia błędowi roll-over (różnica w pomiarze napięć dodatnich i ujemnych o jednakowych wartościach bezwzględnych). Zaleca się stosować kondensatory polipropylenowe do temperatury +85°C.

— Kondensator auto-zero: jego wielkość ma wpływ na szumy systemu, im C_{AZ} większy tym szumy mniejsze. Ale nie można go zwiększać bez ograniczeń, bo wspólnie z C_{INT} formuje stałą czasową RC określającą prędkość powrotu po przesterowaniu ($U_{IN} > 2U_{REF}$) i co ważniejsze błąd, który istnieje na końcu fazy auto-zero. Dla zakresu 409,6 mV, gdy szumy są bardzo ważne i R_{INT} mały, optymalne jest $C_{AZ}=2*C_{INT}$. Zaś dla zakresu 4,096 V, gdzie powrót jest ważniejszy niż szumy, zaleca się $C_{AZ}=0,5*C_{INT}$.

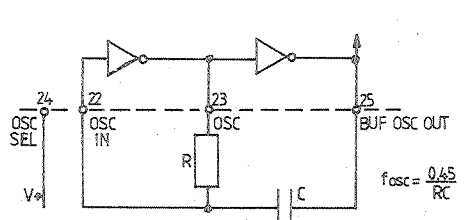
— Kondensator referencyjny: w większości zastosowań dobre rezultaty daje C_{REF}=1 μF. Jednakże tam, gdzie występuje duże napięcie wspólne, wymagana jest większa wartość dla zabezpieczenia się przed błędem roll-over. Wartość 10 μF trzyma ten błąd na poziomie 0,5 zliczenia.

c.d. nr str. 7

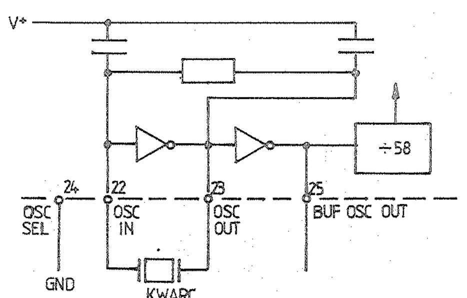


Rys. 1 Obwód testowy układu ICL 7109

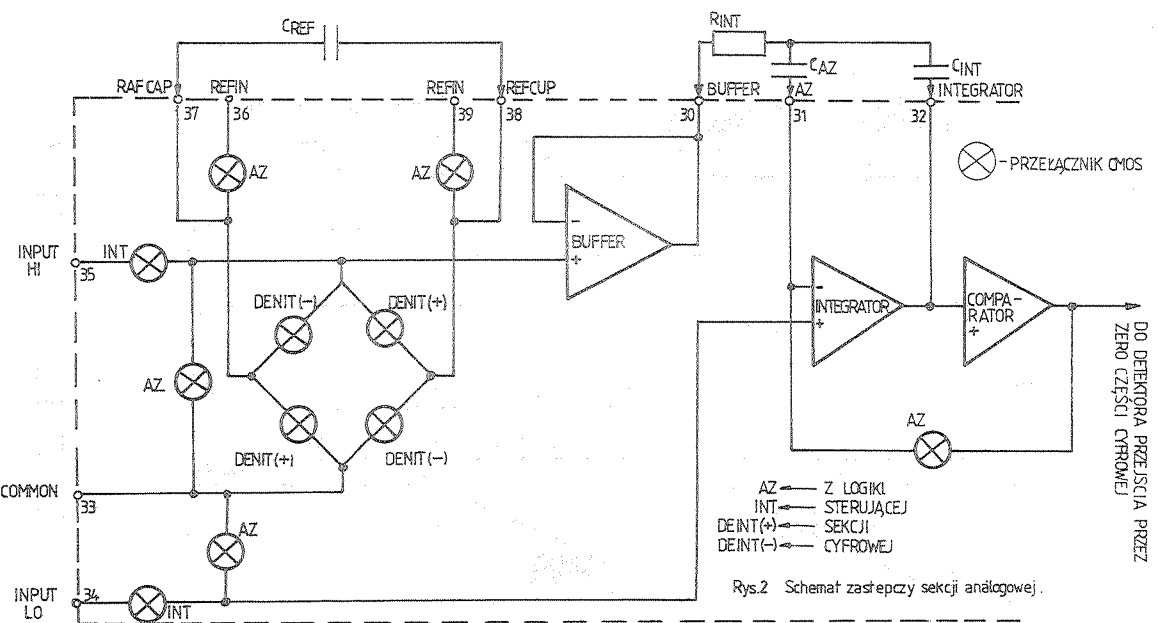
Rys.4 Sekcja cyfrowa



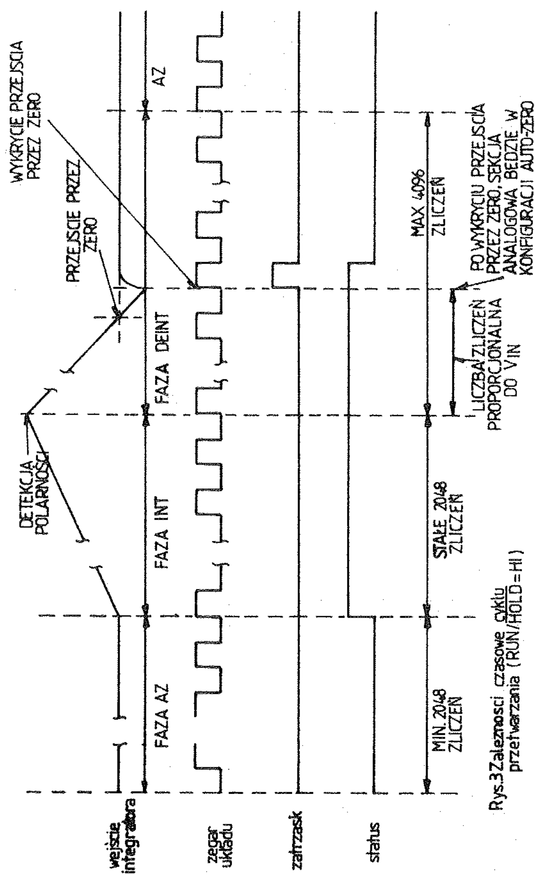
Rys. 10 Oscylator



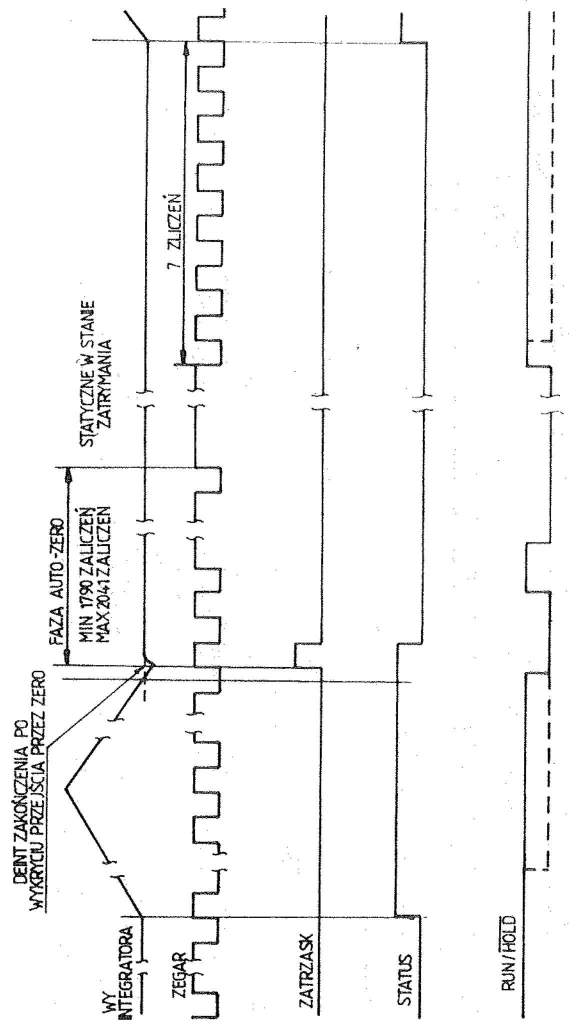
Rys.11 Oscylator kwarcowy.



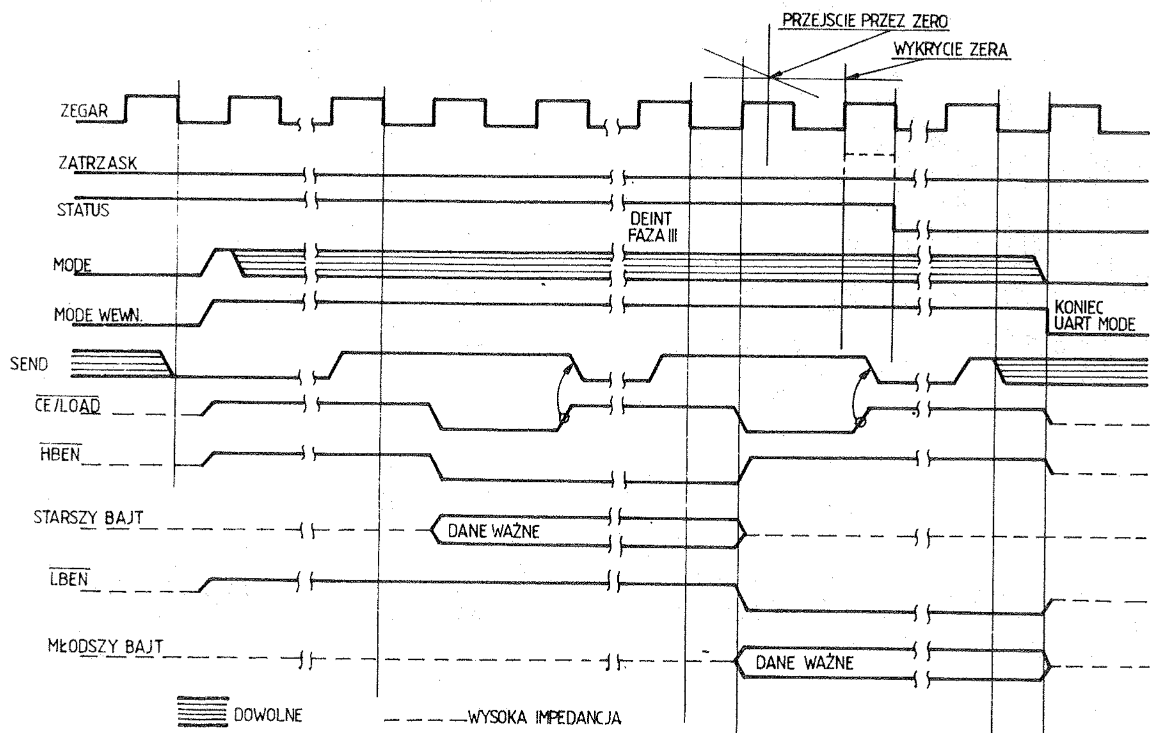
Rys.2 Schemat zastępczy sekcji analogowej.



Rys.3 Zależności czasowe cyklu przetwarzania (RUN/HOLD=HI)



Rys.5 Działanie wejścia RUN/HOLD



Rys.9 Przełączenie do pracy handshake sygnałem MODE

c.d. ze str. 4

4. SEKCJA CYFROWA UKŁADU

Schemat części cyfrowej układu przedstawia rys. 4. W celu minimalizacji poboru mocy wszystkie wejścia powinny „wahać się" między GND (stan niski LO) a V+ (stan wysoki HI). Wejścia sterowane z bramek TTL powinny mieć dodatkowe rezystory „podciągające" (pull up) dla zabezpieczenia przed zakłóceniami.

4.1. Wejście MODE

Wejście to używa się do sterowania trybem pracy przetwornika. Jeśli MODE jest w stanie LO, przetwornik jest w trybie prostym: dane wyjściowe są dostępne bezpośrednio pod kontrolą i wejść sterujących $\overline{HBEN}$, $\overline{LBEN}$, $\overline{CE/LOAD}$.

— $\overline{CE/LOAD}$=HI, to obydwa bajty danych są w stanie wysokiej impedancji.

— $\overline{HBEN}$=HI lub $\overline{LBEN}$=HI, to w stanie wysokiej impedencji są odpowiednio starszy lub młodszy bajt.

— $\overline{CE/LOAD}$, $\overline{HBEN}$, $\overline{LBEN}$=LO, to wyjścia obu bajtów są aktywne.

Jeśli MODE jest impulsowane do stanu HI, to przetwornik przechodzi do trybu pracy z potwierdzeniem (handshake) i dane wychodzą w dwóch bajtach, po czym układ wraca do trybu prostego.

Gdy MODE jest w stanie HI, przetwornik będzie wysyłał dane w trybie handskake przy końcu każdej konwersji.

4.2. Wyjście STATUS

W czasie cyklu przetwarzania STATUS przechodzi do stanu HI na początku sygnału całkowania — faza II — i przechodzi do stanu LO po 1/2 okresu zegara po tym, jak nowe dane z konwersji zostały zapamiętane w wyjściowych zatrzaskach (rys. 3). Sygnał ten może być użyty jako znacznik (flaga) „dane ważne" (dane nigdy nie zmieniają się w czasie, gdy STATUS=LO) do kierowania przerwaniem lub do śledzenia stanu przetwornika.

4.3. Wejście RUN/$\overline{HOLD}$

Gdy wejście to jest w stanie HI, układ wykonuje w sposób ciągły cykle konwersji aktualizując dane w wyjściowych zatrzaskach po każdym przejściu przez zero w fazie rozładowania. Cykle trwają 8192 impulsy zegarowe niezależnie od wyniku pomiaru (rys. 3).

Jeżeli RUN/$\overline{HOLD}$ przejdzie do stanu LO w dowolnej chwili fazy deintegracji po wystąpieniu przejścia przez zero, to układ natychmiast zakończy tę fazę i przejdzie do fazy auto-zero. Cecha ta może być wykorzystana dla eliminacji straty czasu w fazie rozładowania po przejściu przez zero (rys. 5). Jeżeli RUN/$\overline{HOLD}$ pozostaje lub przechodzi do stanu LO, przetwornik zapewni minimalny czas fazy auto-zero i będzie czekać w tej fazie, aż RUN/$\overline{HOLD}$ przejdzie do stanu HI. Wówczas przetwornik rozpocznie fazę integracji następnej konwersji (STATUS przejdzie do HI) po siedmiu okresach zegara od wykrycia wysokiego poziomu na RUN/$\overline{HOLD}$ (rys. 5). Stosowanie tego wejścia w ten sposób pozwala na łatwą realizację „przetwarzana na żądanie". Układ może być trzymany w stanie bezczynności w fazie auto-zero, gdy RUN/$\overline{HOLD}$=LO. Jeśli przejdzie do stanu HI, to następuje start przetwarzania i kiedy wyjście STATUS osiągnie stan niski, nowe dane są ważne (lub wysłane do UART-u — zob. handshake). RUN/$\overline{HOLD}$ może znów przejść do stanu LO, kończąc tym samym fazę deintegracji i zapewniając minimalny czas fazy auto-zero przed zatrzymaniem w celu oczekiwania na następną konwersję. Podobnie wyjście to może być użyte do minimalizacji czasu przetwarzania przez przejście w stan LO podczas fazy rozładowania po przekroczeniu zera i przejściu do stanu HI, gdy osiągnięte zostanie wstrzymanie pracy. Żądana aktywność wejścia RUN/$\overline{HOLD}$ może być uzyskana przez połączenie go z wyjściem BUF OSC OUT (pin 25). Przy tym sposobie pracy czas przetwarzania jest zależny od wartości mierzonego sygnału wejściowego. Jeśli RUN/$\overline{HOLD}$ przejdzie lub pozostaje w stanie niskim podczas fazy auto-zero, to układ przy końcu tej fazy zostaje zatrzymany i czeka na poziom wysoki tego wejścia, a po jego wykryciu rozpoczyna pomiar po siedmiu taktach zegara.

4.4. Wejście TEST

Gdy wejście TEST=HI, wyjściowe zatrzaski licznika są odblokowane umożliwiając odczytanie jego zawartości w dowolnej chwili. Gdy TEST=LO, wyjścia licznika ustawiają się w stan wysoki, a wewnętrzny zegar zostaje zablokowany. Po powrocie wejścia TEST w stan HI, przez jeden okres zegara wszystkie wyjścia licznika ustawiają się w stan niski. Pozwala to łatwo sprawdzać licznik i jego wyjścia.

4.5. Oscylator

ICL7109 jeest zaopatrzony w 3 wszechstronne końcówki oscylatora do generacji wewnętrznych impulsów zegarowych. Oscylator może być sterowany z zewnątrz albo pracować jako generator RC lub kwarcowy. Wejście OSC SEL zmienia jego wewnętrzną konfigurację optymalizując do pracy RC lub z kwarcem. Gdy OSC SEL=HI zegar wewnętrzny ma tę samą częstotliwość i fazę co sygnał na wyjściu BUF OSC OUT. Opornik i kondensator powinny być podłączone jak na rys. 10. Układ drga z częstotliwością f=0,45/RC. Zalecany jest opornik 100 kΩ dla użytecznego zakresu częstotliwości. W celu tłumienia zakłóceń okresowych 50 Hz należy tak dobrać pojemność C, by czas 2048 impulsów zegarowych mieścił się w całkowitej wielokrotności okresu 50 Hz (ale nie mniejszej niż 50 pF). Dla OSC SEL=LO oscylator będzie pracował z kryształem kwarcu (rys. 11) w zakresie $f=1 \div 5$ MHz bez zewnętrznych elementów. Częstotliwość zegara będzie 58 razy mniejsza od częstotliwości sygnału na wyjściu BUF OSC OUT.

Stosując generator RC z elementami R=100 kΩ, C=90pF dostajemy f=50 kHz (T=20 µs). Czas jednego pomiaru wynosi 8192 $\ast$ 20 µs = 163,8 ms, czyli dokonuje się 6,1 pomiaru/sek. Ponieważ 2048 $\ast$ 20 µs = 40,96 ms, to jest błąd $\delta = \frac{40{,}96-40}{40} = 2{,}4\%$, więc tłumienie zakłóceń wynosi 20 lgδ ≈ 32 dB.

Sterując oscylator z zewnątrz należy OSC OUT zostawić nie podłączone, a na OSC IN podać sygnał sterujący. Wewnętrzny zegar będzie miał tę samą częstotliwość i fazę co sygnał wejściowy, jeśli OSC SEL zostanie niepodłączony. Gdy OSC SEL=LO, zegar będzie miał częstotliwość 58 razy mniejszą.

Stosując ICL7109 z IM6403UART możliwe jest użycie jednego kryształu 3.58 MHz dla obydwu układów. Do sterowania OSC IN UART-u należy użyć wyjścia BUF OSC OUT. Z powodu małej obciążalności tego wyjścia, w przypadku sterowania więcej niż jednego układu trzeba stosować zewnętrzne buforowanie.

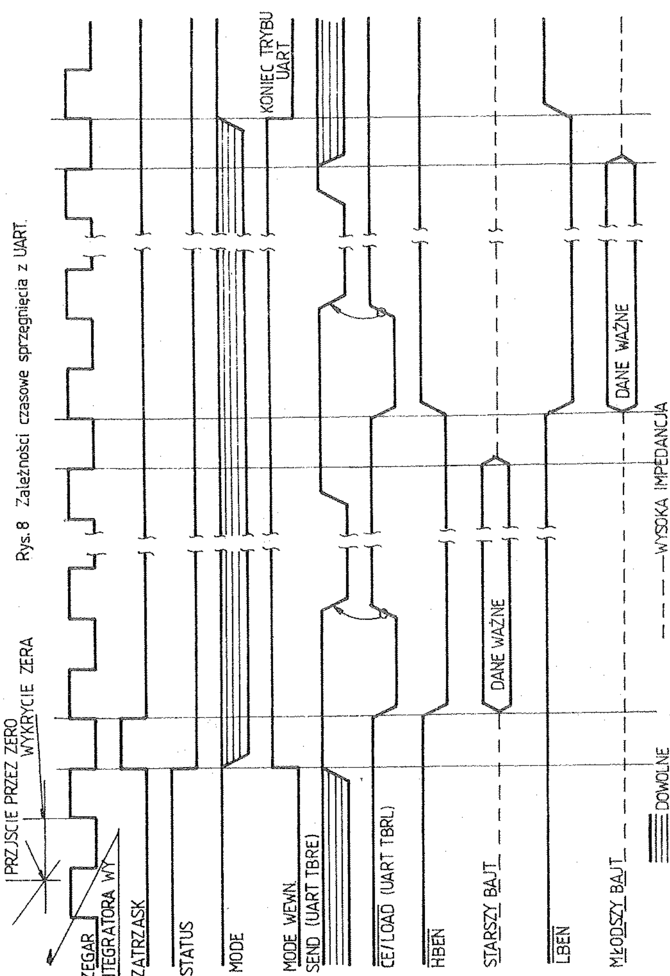
5. PRACA „PROSTA" (DIRECT MODE)

Gdy wejście MODE jest w stanie niskim, dane wejściowe (bity 1 do 8 jako młodszy bajt oraz bity 9 do 12, POL, OR jako starszy bajt) są dostępne pod kontrolą układu i wejść sterujących. Te trzy wejścia sterujące ($\overline{CE/LOAD}$, $\overline{HBEN}$, $\overline{LBEN}$) są aktywne w stanie niskim a zależności czasowe odpowiednich sygnałów są pokazane na rys. 6 i tabeli 3.

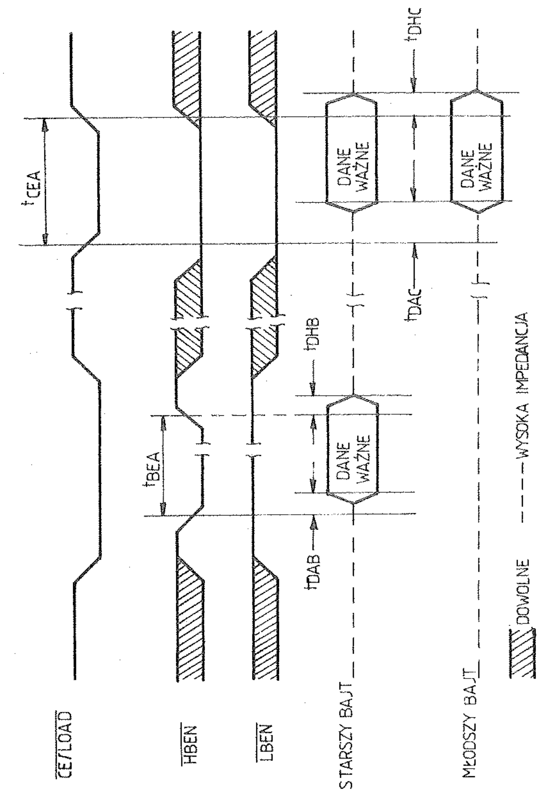
Tabela nr 3

Symbol	Min.	Typ.	Max.	Jed.
t_{BEA}	220	350		ns
t_{DAB}		210	350	ns
t_{DHB}		150	300	ns
t_{CEA}	260	400		ns
t_{DAC}		260	400	ns
t_{DHC}		240	400	ns

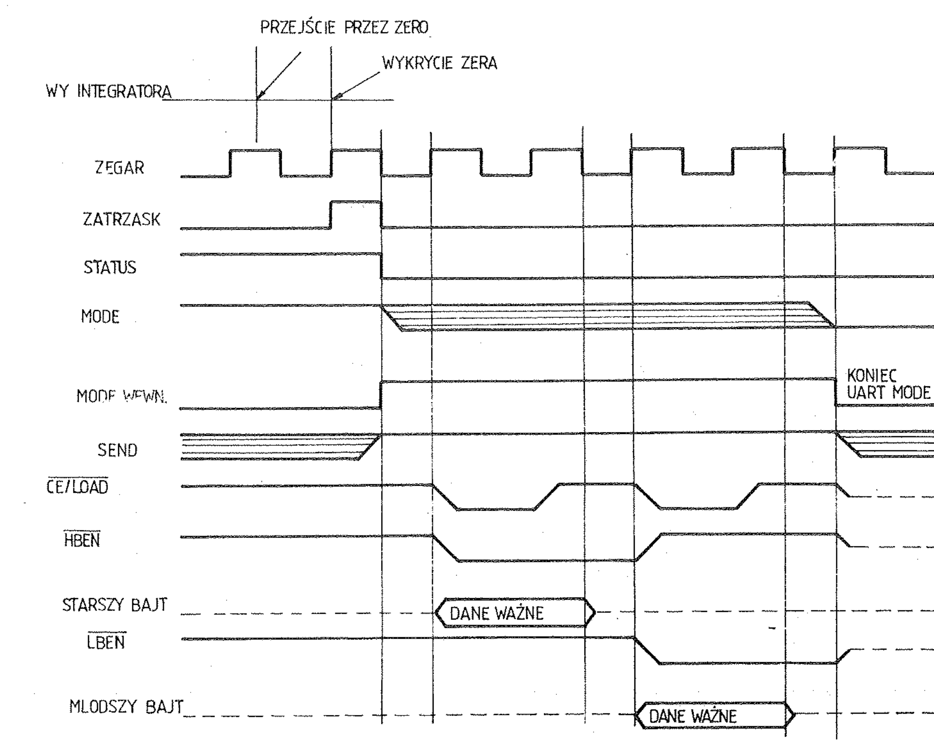
c.d. na str. 9



Rys.8 Zależności czasowe sprzęgnięcia z UART.



Rys.6 Zależności czasowe wyjść układu w trybie prostym



Rys.7 Tryb handshake z ustalonym sygnałem SEND = HI

c.d. ze str. 7

Trzeba także zauważyć, że wejścia te są asynchroniczne względem zegara przetwornika — dane są dostępne w dowolnej chwili. Dlatego jest możliwość otrzymania danych w czasie ich aktualizacji, co mogłoby prowadzić do ich pomieszania. Synchronizację dostępu danych z cyklem konwersji gwarantuje śledzenie wyjścia STATUS: dane nigdy nie są aktualizowane jeśli STATUS=LO.

6. PRACA „Z POTWIERDZENIEM" (HANDSHAKE)

Ten tryb dostarcza innego sposobu sprzęgania układu ICL7109 z systemami cyfrowymi, gdzie przetwornik A/C uczestniczy aktywnie w sterowaniu przepływem danych zamiast biernej reakcji na wyjścia sterujące. Został on specjalnie zaprojektowany w celu umożliwienia prostego sprzęgnięcia przetwornika z przemysłowym standartem UART-u (jak np. Intersil CMOS UART IM6402/03). W tym przypadku nie są potrzebne żadne układy logiczne. Układ przełączony do pracy handshake zapewnia pełną kontrolę oraz sygnały konieczne do sekwencyjnego wprowadzenia dwóch bajtów danych do układu UART oraz inicjalizacji ich szeregowej transmisji. Ułatwia to w większości zastosowań pracę i redukuje koszty konstrukcji stanowisk zdalnego zbierania danych, używających transmisji szeregowej w celu minimalizacji liczby linii dochodzących do sterującego centralnego procesora.

Wejście do pracy handshake jest sterowane przez wejście MODE. Gdy jest ono trzymane na wysokim poziomie przetwornik przejdzie do tego trybu po tym, jak nowe dane zostaną zgromadzone w wyjściowych zatrzaskach, co następuje przy końcu każdej konwersji (rys. 7, 8). Końcówka MODE może być używana jako przełącznik wejścia w tryb handshake na żądanie. Pojawienie się krótkiego impulsu na tym wejściu powoduje natychmiastowe przejście do tego rodzaju pracy w dowolnej chwili cyklu przetwarzania. Jeśli impuls ten wystąpi w czasie, gdy nowe dane są magazynowane, przejście w tryb handshake zostanie wstrzymane aż dane się ustabilizują. W czasie gdy przetwornik znajduje się w tym trybie, wejście MODE jest ignorowane i chociaż konwersja ciągle się dokonuje, to aktualizacja danych będzie zatrzymana, aż układ zakończy cykl wyjścia i skasuje tryb hanshake. Poza tym, gdy układ wchodzi w ten tryb lub MODE=HI, końcówki wyboru układu i bajtu ($\overline{\text{CE/LOAD}}$, $\overline{\text{HBEN}}$, $\overline{\text{LBEN}}$) pozostają na poziomach zgodnych z TTL.

Wejście SEND jest używane przez przetwornik jako wskazanie gotowości układu odbiorczego (takiego jak UART) do przyjęcia danych. Rys. 7 przedstawia sekwencję cyklu wysłania danych z wejściem SEND będącym w stanie HI. Praca handshake (Internal MODE=HI) jest wprowadzona po impulsie zatrzaśnięcia danych (odkąd MODE jest na poziomie wysokim, końcówki $\overline{\text{CE/LOAD}}$, $\overline{\text{HBEN}}$, $\overline{\text{LBEN}}$ są aktywne jako wyjścia). Na tym samym opadającym zboczu zegara jest sprawdzany wysoki poziom wejścia SEND. Na kolejnym, narastającym zboczu zegara wyjścia $\overline{\text{CE/LOAD}}$ i $\overline{\text{HBEN}}$ przyjmują poziom niski, a wyjścia starszego bajtu (bity 9÷12, POL, OR) są aktywne. Wyjście $\overline{\text{CE/LOAD}}$ pozostaje w stanie LO tylko przez jeden okres zegara, dane wyjściowe są aktywne przez 1,5 okresu, a $\overline{\text{HBEN}}$=LO przez dwa okresy. Właśnie niski poziom sygnału $\overline{\text{CE/LOAD}}$ lub jego zbocze narastające może służyć jako sygnał synchronizacji informujący o ważności danych. Podobnie w przypadku sygnałów $\overline{\text{LBEN}}$ i $\overline{\text{HBEN}}$: można je wykorzystać za wskaźniki dla identyfikacji bajtów. Praca handshake kończy się po wysłaniu obydwu bajtów danych.

Rys. 8 pokazuje sekwencję wyjścia, gdzie wejście SEND jest użyte dla zapewnienia poprawnego przesyłania danych. Wykresy czasowe przedstawiają zależności występujące przy użyciu standardu IM6402/3 CMOS UART do sprzęgnięcia z kanałem transmisji szeregowej. W tym sprzężeniu wejście SEND układu ICL7109 jest sterowane sygnałem TBRE (rejestr buforowy transmisji pusty) z wyjścia UART-u, a końcówka $\overline{\text{CE/LOAD}}$ steruje wejściem $\overline{\text{TBRL}}$ (rejestr buforowy transmisji załadowany) UART-u. Dane wejściowe są równolegle przesyłane do ośmiu wejść buforowego rejestru transmisji. Zakładając, że rejestr ten jest pusty, wejście SEND będzie w stanie HI, gdy układ 7109 wejdzie w tryb handshake po zmagazynowaniu nowych danych. Końcówki $\overline{\text{CE/LOAD}}$ i $\overline{\text{HBEN}}$ przejdą do stanu LO po wykryciu stanu HI na SEND, a wyjścia starszego bajtu staną się aktywne. Gdy $\overline{\text{CE/LOAD}}$ przejdzie do stanu HI po jednym okresie zegara, starszy bajt zostanie przesłany do buforowego rejestru UART-u. Wyjście TBRE przejdzie do stanu LO, co zatrzyma sekwencję wyjściową, pozostawiając wyjścia starszego bajtu w stanie aktywnym. Kiedy UART prześle dane do rejestru transmisyjnego i wyzeruje buforowy rejestr transmisji, sygnał TBRE powróci do poziomu HI. Przy pierwszym opadającym zboczu zegara ICL7109 wyjścia starszego bajtu zostaną zablokowane, a pół okresu później sygnał $\overline{\text{HBEN}}$ przejdzie do stanu HI. Jednocześnie $\overline{\text{CE/LOAD}}$ i $\overline{\text{LBEN}}$ przejdą do stanu LO i wyjścia młodszego bajtu staną się aktywne. Pół okresu zegara układu 7109 po wpisaniu młodszego bajtu do rejestru transmisyjnego UART-u tryb hanshake zostanie skasowany, końcówki $\overline{\text{CE/LOAD}}$, $\overline{\text{HBEN}}$ i $\overline{\text{LBEN}}$ przejdą do stanu HI i pozostaną aktywne tak długo, jak długo wejście MODE będzie na poziomie wysokim. Przy wejściu MODE pozostającym w stanie HI, jak w powyższym przykładzie przetwornik będzie tworzył wyniki każdej konwersji, z wyjątkiem tych zakończonych podczas operacji wymiany danych (hadshake). Przy przełączaniu układu 7109 do pracy handshake przez narastające zbocze sygnału MODE, wyjściowa sekwencja może być dokonywana na żądanie. Sytuację taką przedstawia rys. 9. Dodatkowo również wejście SEND jest w stanie niskim, kiedy przetwornik przechodzi do pracy hanshake. W tym przypadku pełna sekwencja wyjściowa jest sterowana przez wejście SEND i jest ona jednakowa dla obu bajtów (starszego i młodszego). Zauważmy, że przetwornik dokonuje ciągłej konsekwencji z normalnie funkcjonującymi sygnałami STATUS i $\overline{\text{RUN}}$/HOLD. Jedyną różnicą jest to, że nowe dane nie są zatrzaskiwane, gdy przetwornik jest w trybie handshake i dlatego są tracone.

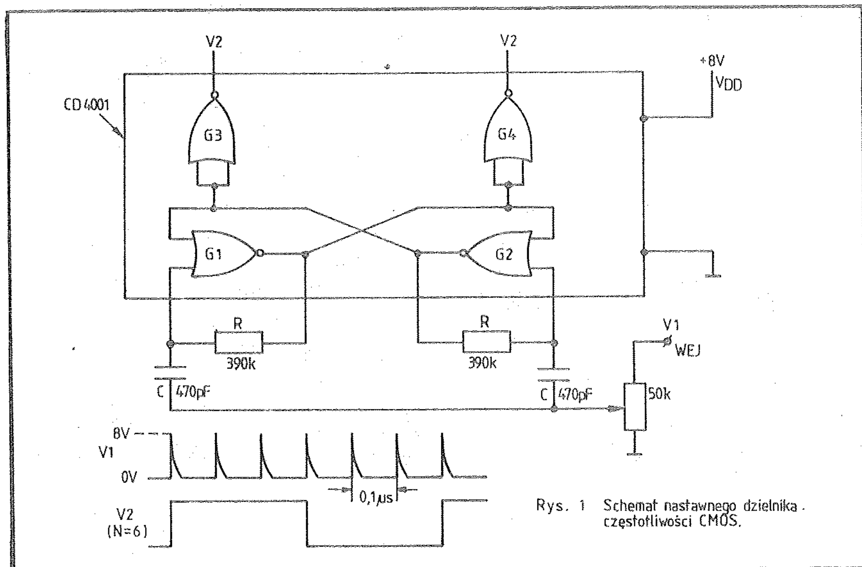


Witold Dąbrowski

Cyfrowy nastawny dzielnik częstotliwości CMOS

Do budowy tego dzielnika wykorzystano układ CD4001, w którym znajdują się cztery dwuwejściowe bramki NOR. Podział modulo N jest łatwy do wykonania za pomocą zewnętrznego nastawnego potencjometru. Do układu wchodzą impulsy o częstotliwości f1, a następnie jest generowana dopełniająca fala prostokątna o częstotliwości f2; f1/f2=N, gdzie N jest liczbą parzystą.
Dwie bramki G1 i G2, są połączone w ten sposób, że tworzą prosty przerzutnik typu zatrzask. Rezystory sprzężenia zwrotnego R umożliwiają kondensatorom na wejściach bramek naładowanie się do wartości napięcia zasilania. Impulsy wejściowe są następnie kierowane do bramek G1 oraz G2 powodujących zmianę stanu przerzutnika, w najprostszym przypadku co każdy impuls (modulo 2). Dla uzyskania wyższego współczynnika podziału, na wejściach bramek należy umieścić kondensatory o wartości 5pF. Potencjometr obniża amplitudę impulsów wejściowych tak, że mogą być one „scalane" przez kondensatory. W konsekwencji przerzutnik może zmieniać stan co 4, 6, 8, lub więcej impulsów. Limit jest określony przez dopuszczalny margines szumów. Oczywiście wartość modulo N jest funkcją amplitudy sygnału wejściowego, napięcia sterowania i wartości elementów dyskretnych. Dla układu pokazanego na rysunku N zmienia się od 2 do 30 za pomocą potencjometru. Bramki G3 i G4 są użyte w celu skorygowania opadającego sygnału, co może mieć miejsce na wyjściach bramek G1 i G2, gdy N zbliża się do maksymalnej wartości.

Opracowano na podstawie „Design Techniques for Electronics Engineers" New York 1977.



Rys. 1 Schemat nastawnego dzielnika częstotliwości CMOS.

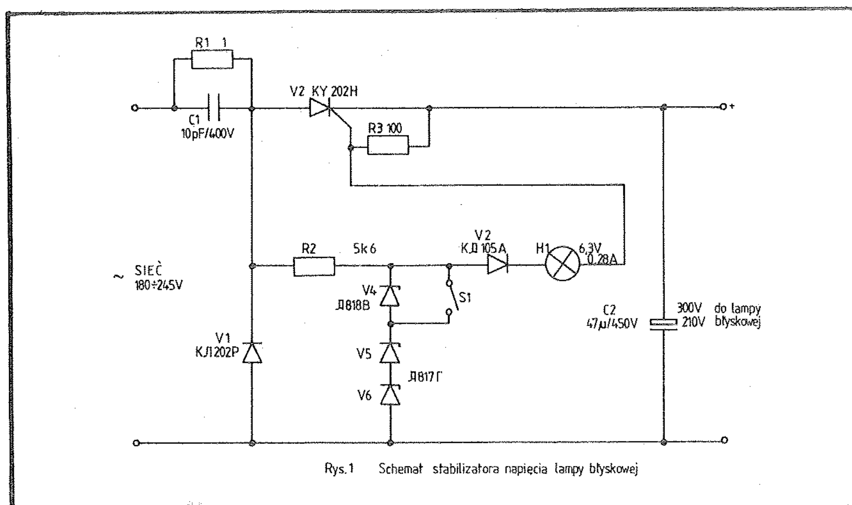
mgr inż. Zbigniew Pędzik

Stabilizator napięcia zasilania lamp błyskowych

Stabilizacja napięcia zasilającego lampy błyskowe jest ważna i konieczna, gdyż przy zmianie napięcia sieci o ±10% energia lampy zmienia się o ±21%.
Na rysunku przedstawiony jest schemat prostego, impulsowego, tyrystorowego, stabilizatora napięcia. Kondensator C2 ładuje się do momentu zrównania się napięcia na nim z napięciem stabilizacji obwodu stabilizatorów V4—V6 (210 V lub 300 V). Prąd ładowania zostaje wówczas przerwany i będzie doładowywał kondensator C2 małymi impulsami w przypadku samorozładowania się C2. Lampka H1 jest wskaźnikiem ładowania: w czasie ładowania lampka daje migające światło; rzadkie błyski świadczą o tym, że lampa błyskowa jest gotowa do pracy.
Przełącznik służy do zmiany energii błysku (podwójnej).
Uruchomienie układu polega tylko na sprawdzeniu napięcia stabilizacji stabilizatorów przy pomocy oscyloskopu lub sprawdzeniu wartości stabilizacji napięcia wyjściowego miernikiem.
Tyrystor zastosowany w układzie może być dowolny z dopuszczalnym napięciem pracy nie mniejszym niż 400 V.
Stabilizatory powinny wytrzymywać ciągły prąd o wartości 30÷50 mA i zapewniać potrzebne napięcie stabilizacji. Muszą być one zamontowane na radiatorze o powierzchni nie mniejszej niż 20 cm².
Rezystor R2-5k6 jest dobrany na moc 10÷25 W. Kondensator C1 jest obliczony na napięcie pracy nie mniejsze niż 400 V i nie może być elektrolityczny, kondensator C2 powinien mieć pojemność w granicach 22÷100 μF i napięcie pracy 350÷÷450 V.

Na schemacie podane są radzieckie elementy półprzewodnikowe. Niżej podane są ich polskie zamienniki:
Tyrystor V2-BTP10/400
Diody V1-BYP680
V3-BYP401/400
Stabilizatory V4-BZP620-C10
V5, V6-BZP640-C33
(po 3 szt.)

Literatura:
W. Ancew, A. Dobrosławski — „Fotoliubitiel-konstruktor" Moskwa 1989, str. 150



Rys.1 Schemat stabilizatora napięcia lampy błyskowej

Piotr Zbysiński

Moduł monitora do OTVC serii C 280/281/282

Proponowany do wykonania układ umożliwia dołączenie do odbiornika telewizyjnego dowolnego źródła sygnałów AUDIO i VIDEO-composit, z pominięciem całego toru radiowego (w. cz. i p. cz.). Zaletą takiego podłączenia jest uniknięcie szeregu zniekształceń sygnału wizyjnego wprowadzanych przez ten tor, co wyraźnie wpływa na jakość obrazu. Ma to szczególne znaczenie w OTVC produkcji radzieckiej, ze względu na niską jakość głowic UHF, a w tym właśnie paśmie pracuje przeważająca część modulatorów wbudowanych w magnetowidy, komputery domowe itp. urządzenia. Chcąc uprościć stosowanie modułu monitora wyposażono go w automatyczny przełącznik odbiór TV/magnetowid. Sterowany jest impulsami synchronizacji sygnału VIDEO podawanym z zewnętrznego źródła.

OPIS UKŁADU

Schemat modułu monitora zamieszczono na rys. 1. Rezystor R1 zapewnia dopasowanie wejścia układu do wyjścia magnetowidu. W zależności od posiadanego sprzętu należy dobrać wartość tego elementu. Sygnał wizyjny wzmacniany jest we wzmacniaczu z tranzystorami T1 i T2. Dodatkową funkcją tego wzmacniacza jest ustawienie poziomu składowej stałej sygnału wizji, potrzebną do odtworzenia poziomu czerni w dekoderze. Wzmocnienie można regulować zmieniając wartości rezystorów R8/9 oraz R7/6. W praktyce nie okazało się to jednak konieczne. Sygnał wizyjny podawany jest jednocześnie do wzmacniacza-separatora T4. Ma on za zadanie wstępną selekcję impulsów synchronizacji i wzmocnienie ich do poziomu ok. 2—3 V. Wzmocnionymi impulsami sterowany jest prostownik-podwajacz napięcia z diodami D1, D2 i kondensatorami C3, C4. Stała czasowa C4 i R20 wyznacza opóźnienie przełączenia z odbioru TV na magnetowid. Jest ono niezbędne, aby uniknąć przypadkowych przełączeń spowodowanych impulsami zakłócającymi. Tranzystory T5 i T6 są inwerterami służącymi do sterowania bramkami kluczy analogowych US1 (4066). Tranzystor T7 jest kluczem blokującym układ p. cz. fonii odbiornika. Blokada powoduje likwidację szumów mogących zakłócić sygnał fonii z magnetowidu. Klucze US1C oraz US1D stanowią multiplekser sygnału wizyjnego z magnetowidu i z toru p. cz. OTV. Wybrany sygnał podawany jest na wejście wtórnika T3 i dalej do modułu dekodera i synchronizacji. Składowe stałe obydwu sygnałów są jednakowe i dzięki temu w czasie przełączania nie występuje zmiana poziomu jasności obrazu. Zastosowany dodatkowo klucz US1A załącza sygnał AUDIO z magnetowidu do toru fonii odbiornika. Następuje to jednocześnie z przełączeniem na odbiór sygnału wizyjnego z gniazda VIDEO.

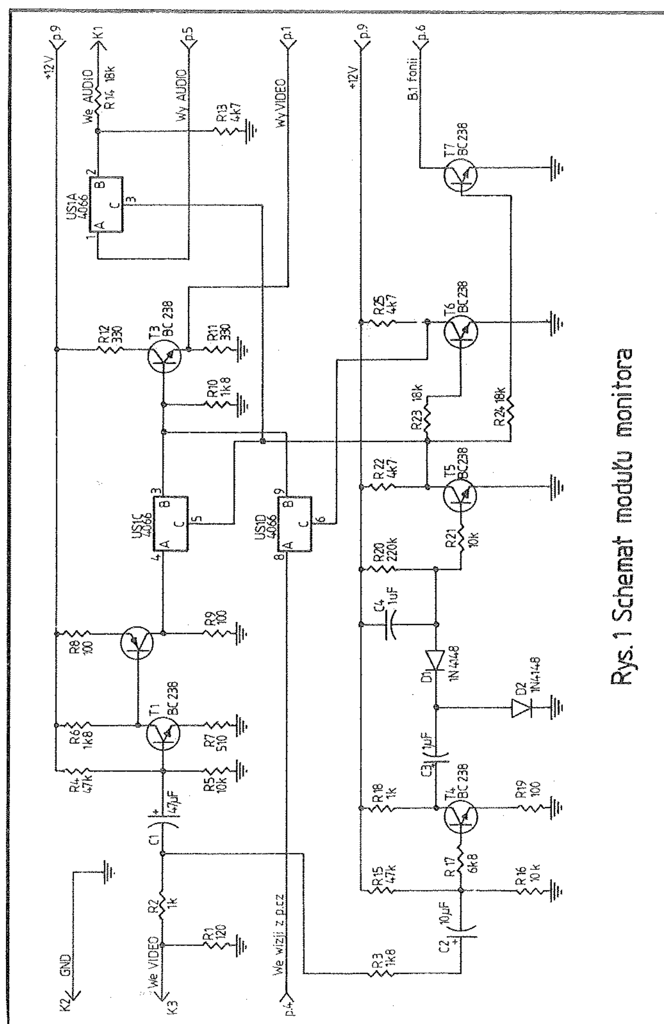
UWAGI KOŃCOWE

Układ zaprojektowano i wykonano na płytce drukowanej, przedstawionej na rys. 2. Tu ważna UWAGA — płytka jest w skali 2 : 1. W dolnej części obwodu znajduje się miejsce na łączówkę typu AJIC45 stosowaną w OTVC serii 2../3... Wprowadzenia modułu odpowiadają wyprowadzeniom na płycie bloku sygnałowego. Należy się dodatkowo upewnić, czy w module pośredniej (CMPK-2-1) zamontowane są następujące elementy:

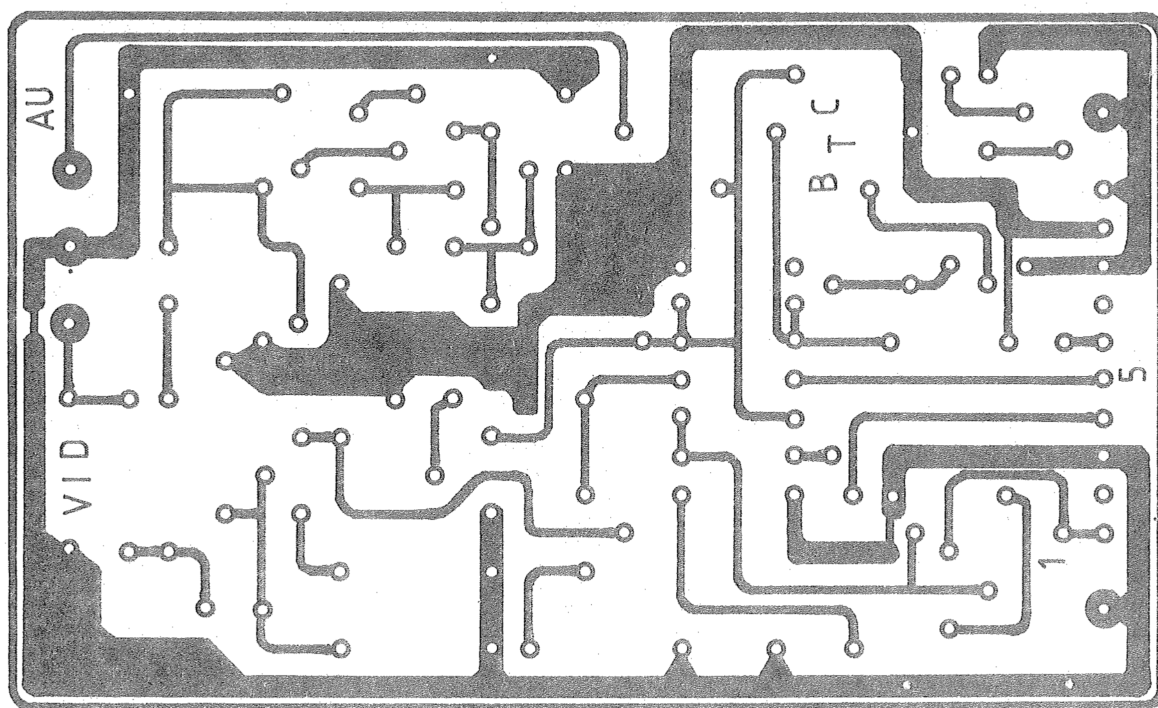
— diody VD1 oraz VD2 (oryginalnie montowane są diody typu KD510A, lecz można je zastąpić dowolnymi diodami impulsowymi);
— rezystor R34 o wartości 100 k;
— kondensator C23 o wartości pojemności 47 μF.

W wypadku braku tych elementów należy je zamontować. Ich brak powoduje brak fonii z urządzenia dołączanego do gniazda AV i występowanie przesłuchów z toru fonii OTV. Należy także zamontować mostek pomiędzy punktami M-M na bloku sygnałowym, zdjąć nasadkę X2H1 (H2N1) i połączyć punkt 1 tej nasadki z punktem 4 łączówki X3 (gniazdo modułu monitora). W wypadku powstawania zniekształceń obrazu w postaci zaciągania górnej jego części należy dokonać drobnej przeróbki modułu synchronizacji YCP, polegającej na połączeniu 11 nogi układu Д1 (K174XA11) do +12 V. Powoduje to przełączenie stałej czasowej filtru m. cz. w tryb odpowiadający pracy odbiornika w pełni dostrojonego do odbieranej stacji. Blokowane są dzięki temu zakłócające impulsy powstałe w układzie ścieżkowania MTV. Są to wszystkie zmiany jakich trzeba dokonać, aby praca układu przebiegała poprawnie.

Opisany układ można stosować w dowolnym typie telewizora wyposażonego w blok sygnałowy typu MPK-2-5 i pochodne. Są to odbiorniki typów Rubin, Sławuticz, Vega, Elektron itp. serii 280/281/282 oraz 380/381/382. Oczywiście istnieje możliwość instalowania modułu w innych typach telewizorów lecz należy liczyć się z koniecznością wprowadzenia pewnych zmian — w zależności od typu telewizora.



Rys. 1 Schemat modułu monitora



Rys. 2. Płytka drukowana modułu

mgr inż. Zbigniew Pędzik

Zasilacze cz. 2

Przystępując do naprawy zasilacza należy wiedzieć, że posiada on kilka cech charakterystycznych, które powodują to, że wyszukiwanie usterek i naprawa zasilacza różnią się od naprawy innych modułów.

Przede wszystkim należy pamiętać, że w zasilaczu występuje dużo obwodów związanych z siecią zasilającą. Dlatego też pomiar rezystancji pomiędzy wyprowadzeniami elementów (w tym także i bezpieczników) zasilacza powinien odbywać się tylko przy wyłączonym telewizorze (wyjętej z gniazda sieciowego wtyczce) i po rozładowaniu kondensatorów C16, C19, C20 w zasilaczu. Niebezpieczne miejsca na płytce drukowanej są zakreskowane i zakryte plastikowymi zabezpieczeniami.

Przy uszkodzeniu zasilacza należy mieć na uwadze, że jednocześnie może ulec zepsuciu kilka elementów. Dlatego też po znalezieniu uszkodzonego elementu należy dalej kontynuować sprawdzanie i lokalizację innych uszkodzonych elementów. W innym przypadku po podaniu zasilania wymieniony na nowy element może ulec ponownemu uszkodzeniu.

W większości przypadków naprawa zasilacza sprowadza się do sprawdzania omomierzem („przedzwaniania") obwodów i elementów, przy czym od dokładności wykonania tej czynności zależy końcowy sukces.

Dla przypomnienia celowe jest tutaj podanie wartości rezystancji pomiędzy anodą i katodą nieuszkodzonego tyrystora KY112A. W obydwu kierunkach powinna ona wynosić nie więcej niż 1 MΩ, a między katodą i elektrodą sterującą 0,5÷1 kΩ w kierunku przewodzenia oraz dziesiątki kiloomów w kierunku zaporowym (rezystancje te mierzy się przy wylutowanym tyrystorze).

Nie należy też dziwić się temu, że różne uszkodzenia w telewizorze powodowane są przez te same elementy zasilacza. Można to wyjaśnić różnym charakterem uszkodzeń elementów. Np. w jednym przypadku defekt spowodowany jest całkowitym przebiciem diody, w innym — częściowym przebiciem (dioda posiada pewną dowolną rezystancję), a jeszcze w innym przerwą w diodzie.

Uszkodzenia zasilacza prowadzą do braku obrazu, dźwięku, odchylania pionowego; przeciążenia powodującego i przepalanie bezpieczników, brak możliwości włączenia telewizora; zniekształceń obrazu (relaksacji) oraz innych.

Niżej przedstawione są najbardziej charakterystyczne uszkodzenia zasilacza i sposób lokalizacji niesprawnych elementów.

c.d. na str. 13

c.d. ze str. 12

1. PRZY WŁĄCZENIU TELEWIZORA PRZEPALAJĄ SIĘ BEZPIECZNIKI FU1, FU2 LUB JEDEN Z NICH.

Najbardziej prawdopodobną przyczyną defektu jest przebicie jednej lub kilku diod z mostka prostowniczego VD4—VD7, albo co bywa bardzo rzadko przebicie jednego z kondensatorów C1—C3 na płytce filtra sieciowego lub C8, C9, C12, C13, C16, C19, C20 w zasilaczu.

Przepalanie się bezpieczników może być także spowodowane przebiciem tranzystora VT4 lub podkładki izolacyjnej pomiędzy tranzystorem i radiatorem.

W przypadku uszkodzenia tranzystora VT4 przed wlutowaniem nowego, konieczne jest sprawdzenie tyrystora VS1, tranzystorów VT1, VT2 i stabilizatora VD3 dlatego, że często występują jednoczesne uszkodzenia tych elementów. Uszkodzeniu może towarzyszyć przegrzewanie lub całkowite przepalenie się rezystorów R14, R16, R6 i przebicie diody VD9. Należy też zwrócić uwagę na zewnętrzny wygląd tyrystora i otaczających go elementów. Niekiedy przy przebiciu na korpusie tyrystora powstaje otwór wkoło wyprowadzenia katody, a elementy otaczające go C17, VD8, R15 pokrywają się sadzą.

Duże kłopoty może sprawić przerwa w diodach VD2 lub VD8, a także chociaż rzadziej przerwa w kondensatorze C14. Powoduje to jednoczesne uszkodzenie tyrystora VS1, tranzystora VT4, a w końcu przepalenie bezpieczników. Diody te mogą mieć krótkotrwałe przerwy, a potem wracać do normalnego stanu, dlatego przy sprawdzaniu można nie stwierdzić ich uszkodzenia i w tym przypadku najlepiej jest wymienić obydwie diody.

2. TELEWIZOR NIE WŁĄCZA SIĘ. WSKAŹNIK HL1 W ZASILACZU NIE ŚWIECI SIĘ

Pierwszą czynnością jest pomiar napięć na wszystkich wyprowadzeniach zasilacza. Jeśli ich nie ma, to lokalizację uszkodzenia kontynuuje się mierząc napięcia (250÷300 V) na kondensatorach C16, C19, C20. Przy ich braku sprawdza się kolejno bezpieczniki, włącznik sieciowy SB1, elementy filtra sieciowego i styki w złączach X17(A2) oraz X1(A4). Jeżeli napięcie na kondensatorach C16, C19, C20 występuje, to lokalizację uszkodzeń należy prowadzić dalej. Przede wszystkim sprawdza się, czy nie mają przebicia diody VD9, VD12÷VD15, stabilizator VD3, tranzystory VT2, VT3, kondensatory C7, C14 oraz rezystory R8, R18. Pośrednim znakiem uszkodzenia rezystorów R8, R18, kondensatora C7, stabilizatora VD3 i tranzystorów VT2, VT3 może być bardzo głośny trzask przy rozładowaniu kondensatorów C16, C19, kiedy zwiera się je przed sprawdzaniem. Przebicie stabilizatora VD3 w większości przypadków uszkadza tyrystor VS1 i powoduje przepalenie rezystorów R14, R16. Następnie sprawdza się omomierzem uzwojenia 19-1, 3-5 transformatora T1.

Spotyka się też przypadki, kiedy brak jest tylko wyjściowego napięcia 130 V (150 V) na styku 2 złącza X2(A3). Oznacza to, że generator samodławny pracuje a uszkodzenie znajduje się w prostowniku tego napięcia. Konieczne jest sprawdzenie czy nie ma przerwy w diodzie VD12 i kondensatorze C27.

3. TELEWIZOR NIE WŁĄCZA SIĘ. SŁYCHAĆ TRZASK O NISKIEJ CZĘSTOTLIWOŚCI

W tym przypadku pomiar napięć na wyjściach zasilacza pokaże, że są one dużo mniejsze niż nominalne.

Na początku należy upewnić się, czy nie są przebite tyrystor VS1 i tranzystor VT4. Następnie sprawdza się stabilizator VD1, VD3, diody VD2, VD10, VD11, tranzystory VT1, VT3 i na końcu diody VD12÷VD15.

4. TELEWIZOR NIE WŁĄCZA SIĘ PRZY OBNIŻONYM NAPIĘCIU SIECI (MNIEJSZYM NIŻ 200 V). SŁYCHAĆ DŹWIĘK O WYSOKIEJ CZĘSTOTLIWOŚCI

Taką usterkę można usunąć wymieniając diody VD14 i VD15 w zasilaczu.

Drugim sposobem usunięcia defektu może być włączenie szeregowe z diodą VD8 rezystora o wartości 2,7 Ω.

5. TELEWIZOR WŁĄCZA SIĘ Z OPÓŹNIENIEM 5÷15 s

Przyczyną defektu jest niska jakość stabilizatora VD16, którego praca stabilizuje się po nagrzaniu w czasie 5÷15 s.

6. NIESTABILNY ROZMIAR OBRAZU W PIONIE I W POZIOMIE. „RELAKSACJA"

Usterka może być spowodowana zmianą napięcia sieciowego lub prądu kineskopu.

Szczególnym przypadkiem niestabilności rozmiaru obrazu może być tzw. „relaksacja", to jest regularna zmiana rozmiaru obrazu w pionie i w poziomie, a także zmiana jaskrawości świecenia w postaci błysków z towarzyszącymi im trzaskami.

Sprawdzeniu podlegają diody VD2, VD9—VD11 na przebicie, a tranzystor VT1, stabilizator VD1, rezystory R10, R12, R14, R16 i kondensator C6 na brak przerwy.

Oprócz tego przy relaksacji należy upewnić się czy sprawny jest tyrystor VS1, diody VD2, VD8 i kondensator C14. Wcześniej była już mowa, że przerwa w tych diodach i kondensatorze prowadzi do uszkodzenia tranzystora VT4 i tyrystora VS1, dlatego długotrwała praca telewizora w stanie relaksacji nie jest zalecana. Pośrednim znakiem przerwy w jednym z wymienionych elementów może być zwiększenie wszystkich napięć na wyprowadzeniach zasilacza.

Do niestabilności rozmiaru obrazu i relaksacji prowadzą także pęknięcia i odłamania rdzenia transformatora T1.

7. BRAK OBRAZU. WSKAŹNIK HL1 W ZASILACZU ŚWIECI SIĘ. JEST DŹWIĘK

W tym przypadku mierzy się napięcie 12 V na styku 7 złącza X2(A3). Jeśli jego nie ma, to sprawdza się diodę VD14, kondensator C29, tranzystory VT5—VT7, stabilizator VD16, dławik L3 i kondensator C32.

8. BRAK DŹWIĘKU. WSKAŹNIK HL1 ŚWIECI SIĘ

Przy braku napięcia 15 V między stykami 4 i 6 złącza X2(A3), przyczyną defektu może być przerwa w diodzie VD15, kondensatorze C30, a także w uzwojeniu 10—20 transformatora T1.

9. BRAK ODCHYLANIA PIONOWEGO. WSKAŹNIK HL1 ŚWIECI SIĘ

Jeżeli przy tym brak jest napięcia 28 V na styku 5 złącza X2(A3), to przyczyną najczęściej jest przerwa w diodzie VD13 lub dławiku L2 zasilacza, a rzadziej utrata pojemności w kondensatorze C28.

10. NA EKRANIE TELEWIZORA WYSTĘPUJĄ ZAKŁÓCENIA W POSTACI SZUMÓW

Zakłócenia te wprowadzane są przez zwiększoną pulsację napięcia 12 V lub 130 V (150 V) z powodu uszkodzenia kondensatorów C29, C32 i C27.

11. W CZASIE PRACY TELEWIZORA SŁYCHAĆ ŚWIST O WIELKIEJ CZĘSTOTLIWOŚCI. OBRAZ I DŹWIĘK SĄ NORMALNE

Usterka występuje najczęściej przy zwiększonym napięciu sieciowym. Jest ona wywoływana jakością tyrystora VS1, tranzystora VT4 i transformatora T1, przy czym sprawdzenie ich nie wykaże żadnej nieprawidłowości.

Dla zmniejszenia słyszalności świstu bez wymiany tych elementów zaleca się zwiększenie rezystancji rezystora R19 do 15÷16 Ω.

Literatura:

1. „Radio" 7, 8/89 — Jeliaszkiewicz, Pieskin, Filler
2. „Odbiorniki telewizyjne" — B. Urbański

Witold Dąbrowski

Miernik częstotliwości o minimalnej liczbie części

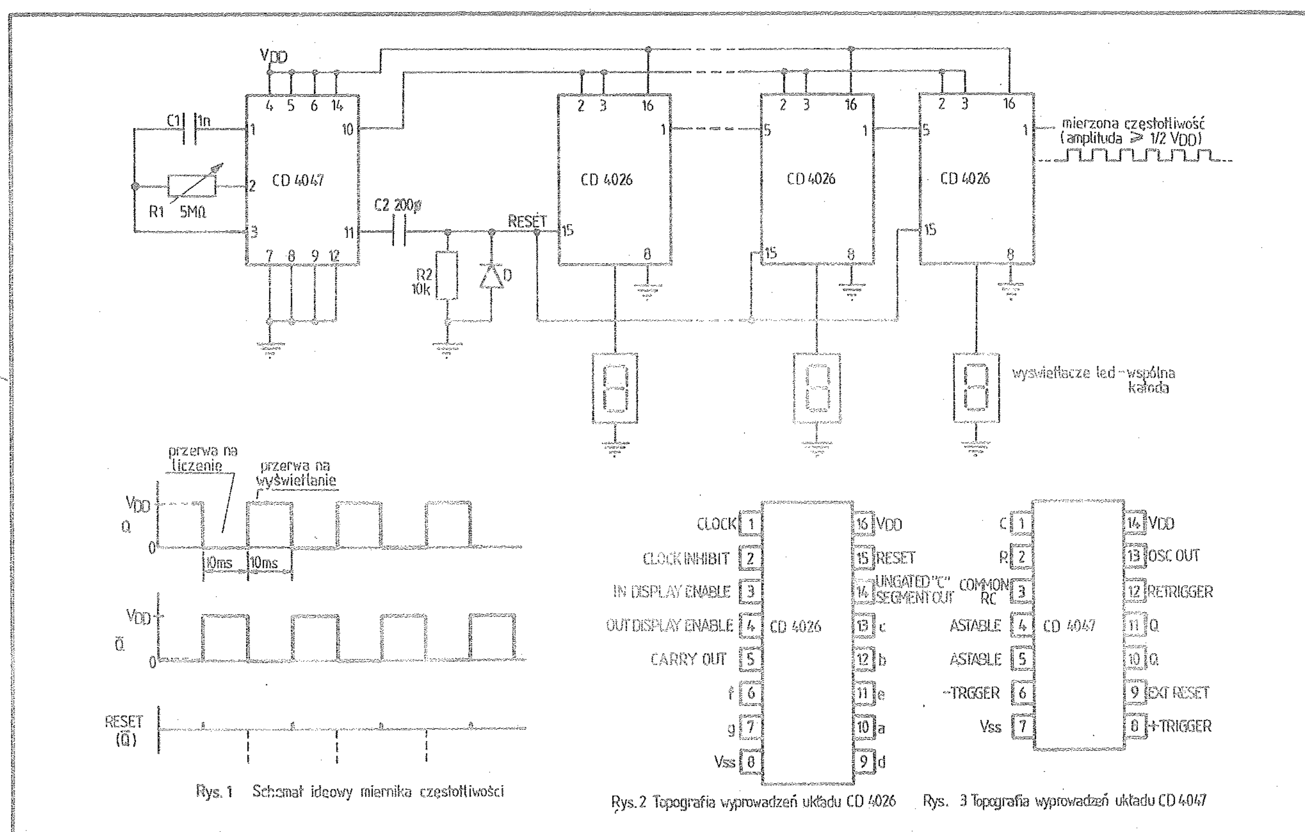
Niewielka liczba ogólnie dostępnych układów scalonych COMS może być wykorzystana w prostym cyfrowym mierniku częstotliwości o dokładności 100 Hz przy częstotliwości 5 MHz. Układ zawiera tylko N+1 układów scalonych dla N-cyfrowego wyświetlacza. Obywa się bez przerzutników, dodatkowych układów logicznych do generowania impulsu count-reset oraz rezystorów ograniczających prąd siedmiosegmentowych wyświetlaczy typu LED.

Jak pokazuje schemat (rys. 1), częstotliwość jaka ma być mierzona jest podawana do szeregu kaskadowo połączonych liczników dziesiętnych/ /dekoderów typu CD4026 (rys. 2). Liczniki liczą wchodzące cykle przez 10 ms, a w ciągu kolejnych 10 ms ich zawartość jest wyświetlana. Tak więc wyświetlacz aktualizuje dane co 20 ms.

Elementem, który kontroluje naprzemienne zliczanie i wyświetlanie jest przerzutnik astabilny typu CD4047 (rys. 3), który generuje falę prostokątną o częstotliwości 20 ms. Kiedy na wyjściu Q przerzutnika astabilnego jest stan niski, wyjścia zegarowe licznika/dekodera są w stanie czynnym, ich wyświetlacze są w stanie biernym, ale liczniki zliczają. Kiedy Q osiąga stan wysoki wyjścia zegarowe są w stanie biernym, a rezultat jest wyświetlany. Liczniki są wyzerowane pod koniec każdej 10-milisekundowej przerwy w wyświetlaniu. Zeruje je dodatni impuls uzyskany przez zróżniczkowanie przedniego zbocza sygnału „1" na wyjściu $\bar{Q}$ układu CD4047. Impulsy ujemne są odprowadzone do masy przez diodę D. Przerwę 10 ms uzyskuje się dobierając odpowiednie wartości C1 i R1. Licznik jest kalibrowany potencjometrem R1. Napięcie zasilania V_{DD} może mieć wartość z przedziału od 3 V do 15 V. Wartości C2 i R2 powinny być tak dobrane, aby czas trwania impulsu zerującego wynosił przynajmniej 250 ns. Dioda D może być jakąkolwiek uniwersalną diodą o wartości szczytowej napięcia wstecznego równej przynajmniej 2 V_{DD}.

Ten sam układ może być wykorzystany z czasem zliczania 100 ms, aby uzyskać rozdzielczość częstotliwości równą 10 Hz. Przy tak długim okresie przerzutnika występuje jednak niepożądane migotanie wyświetlaczy.

Opracowano na podstawie „Design Techniques for Electronics Engineers", New York 1977



Rys. 1 Schemat ideowy miernika częstotliwości

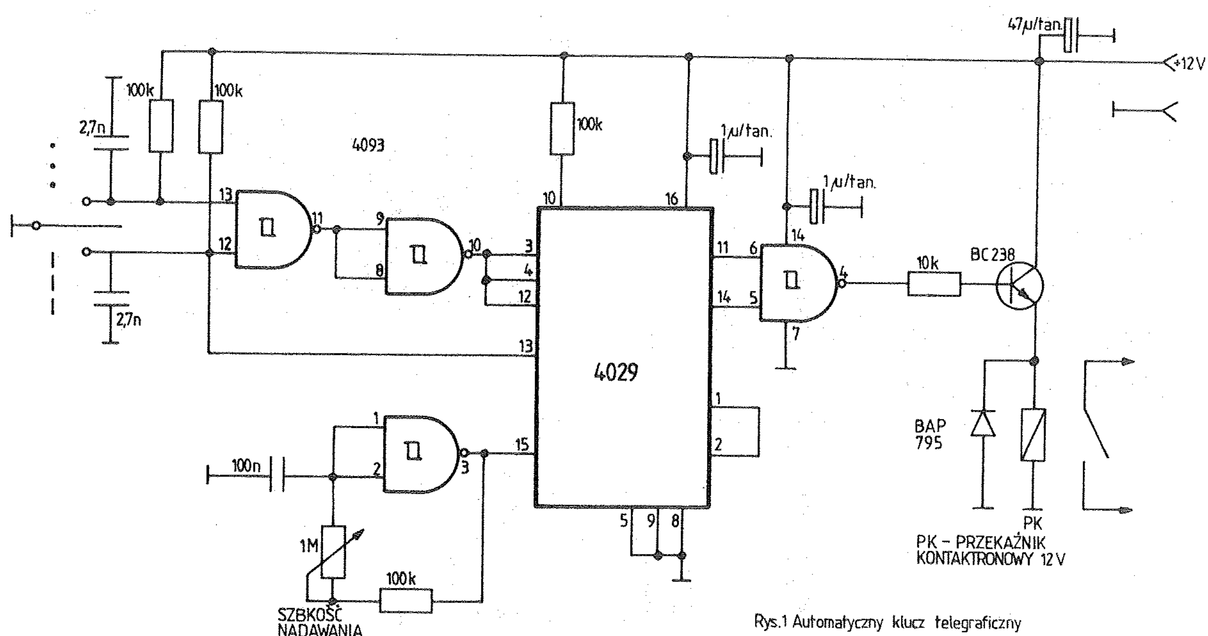
Rys. 2 Topografia wyprowadzeń układu CD 4026

Rys. 3 Topografia wyprowadzeń układu CD 4047

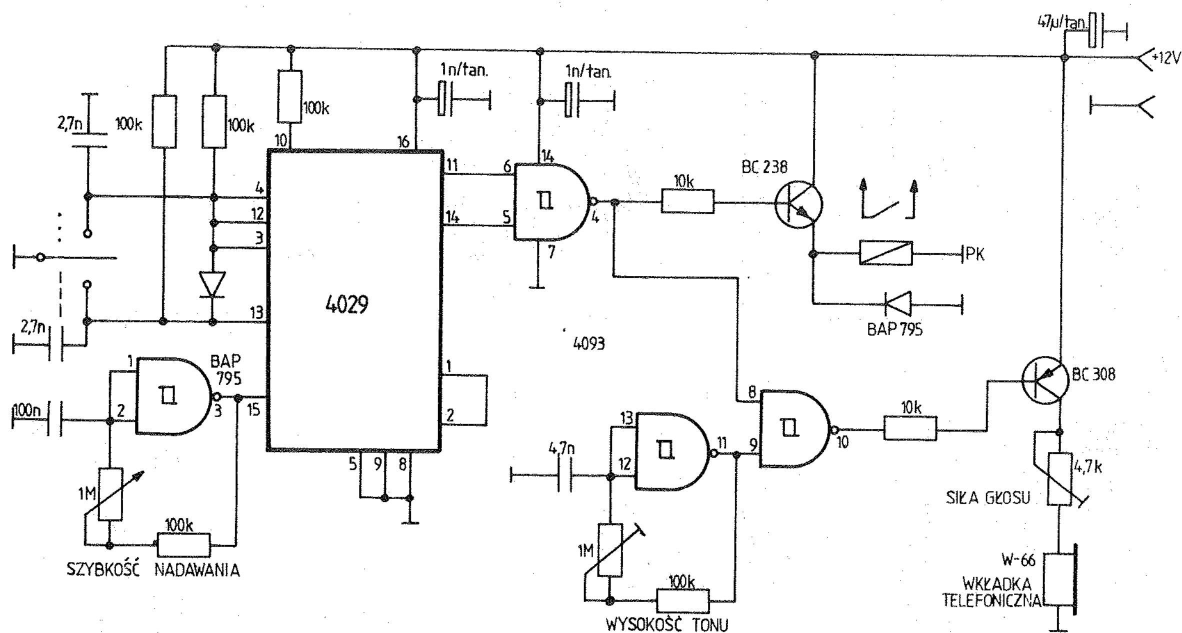
Andrzej Kusiak

Automatyczny klucz telegraficzny na układach CMOS

Automatyczny klucz telegraficzny ułatwia prawidłowe nadawanie znaków alfabetu Morse'a. Przechylenie dźwigni klucza w lewo powoduje nadawanie krótkich sygnałów („kropek"), w prawo dłuższych sygnałów („kresek"). Zwolnienie dźwigni przed końcem nadawania sygnału nie spowoduje skrócenia znaku, a następny znak nie może być nadany po czasie krótszym od czasu jednej „kropki". Na rys. 1 i 2 przedstawiono dwa układy automatycznych kluczy telegraficznych na układach scalonych CMOS: 4029 i 4093 (MCY74029 i MCY74093 produkcji polskiej). Klucz z rys. 2 posiada akustyczny monitor nadawania. Pomysł wykorzystania w automatycznym kluczu telegraficznym licznika 4029 pochodzi z artykułu zamieszczonego w radzieckim miesięczniku „Radio" nr 9 z 1987 roku przez rosyjskiego krótkofalowca UA4HAN.



Rys.1 Automatyczny klucz telegraficzny

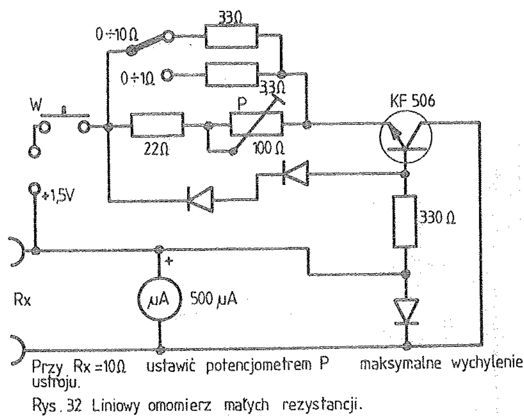


Rys.2 Automatyczny klucz telegraficzny z akustycznym monitorem nadawania.

Witold Dąbrowski

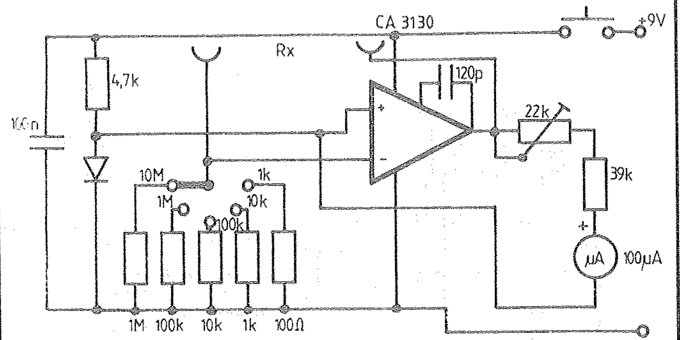
Schematy, po które czasami warto sięgnąć

27. Elektor 10/1979
28. Elektor 7—8/1980
29. brak danych
30. Industrielle elektr. Schaltungen
31. Practical Wireless 11/1980
32. Radiotechnika 1/1980
33. Radiotechnika 5/1971
34. brak danych
35. Funkschau 12/1980
36. Funkschau 11/1981
37. Funkschau 12/1978
38. Das Opto-Kochbuch
39. Elektor 7—8/1981

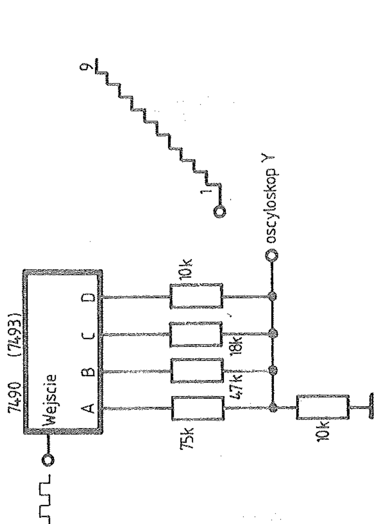


Przy Rx =10Ω ustawić potencjometrem P maksymalne wychylenie ustroju.

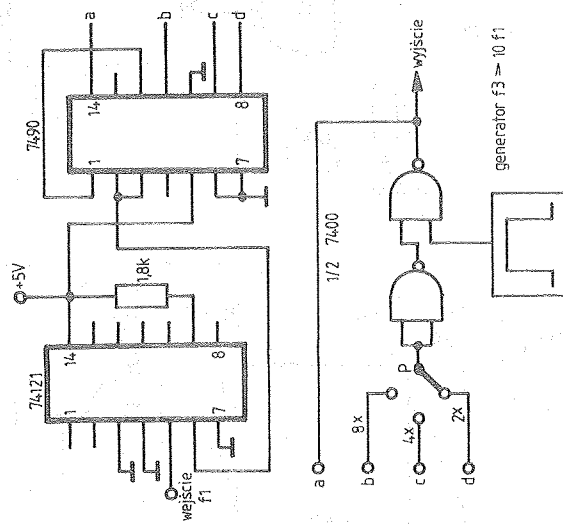
Rys. 32 Liniowy omomierz małych rezystancji.



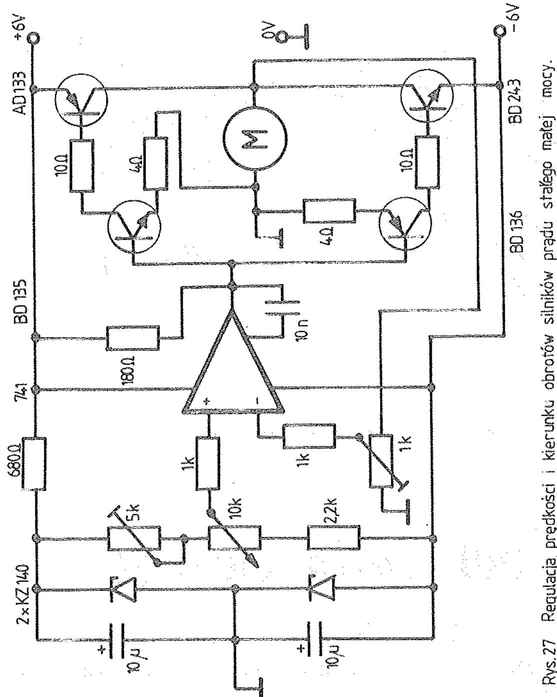
Rys. 31 Liniowy omomierz.



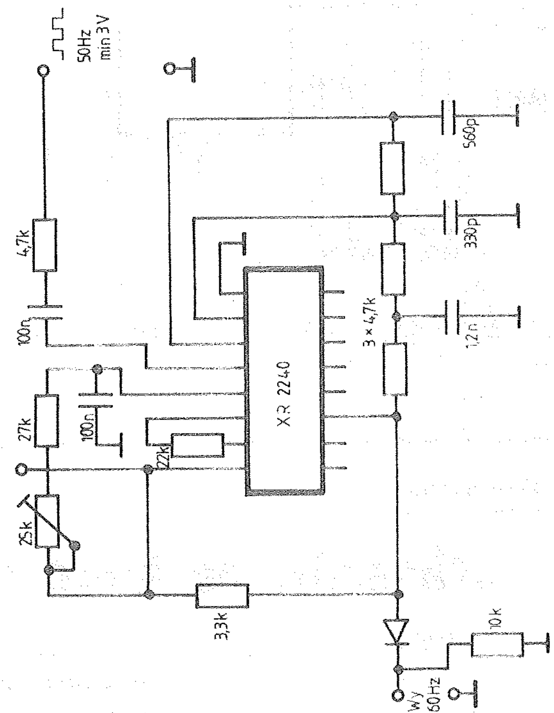
Rys. 29 Sprawdzenie oscyloskopem układu 7490 (7493).



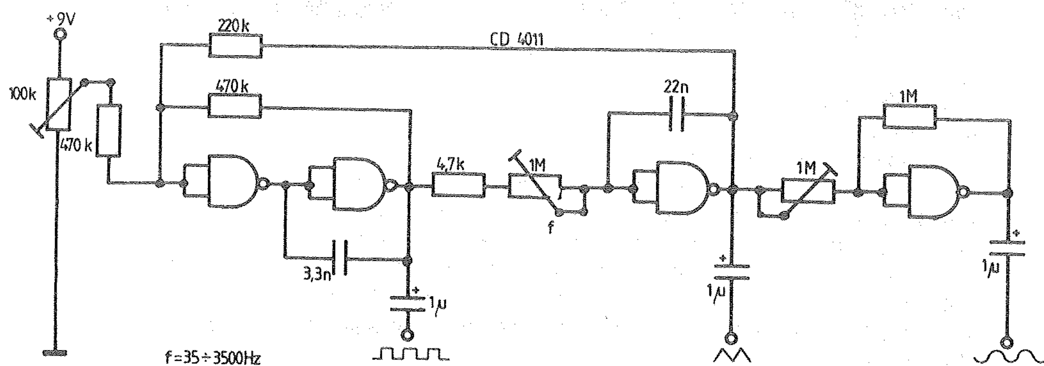
Rys. 30 Mnożnik częstotliwości.



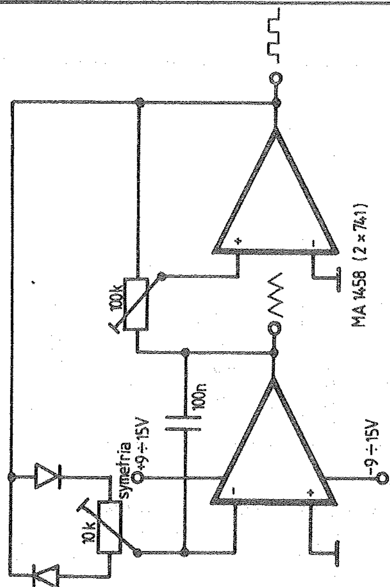
Rys.27 Regulacja prędkości i kierunku obrotów silników prądu stałego małej mocy.



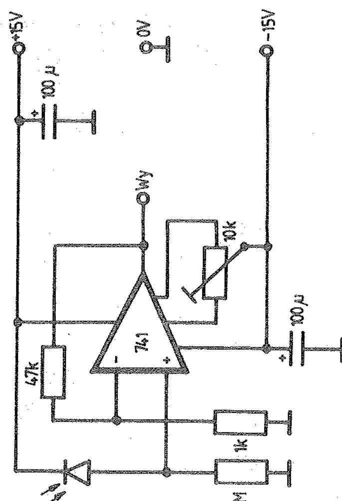
Rys. 28 Przetwornik częstotliwości z 50 Hz na 60Hz



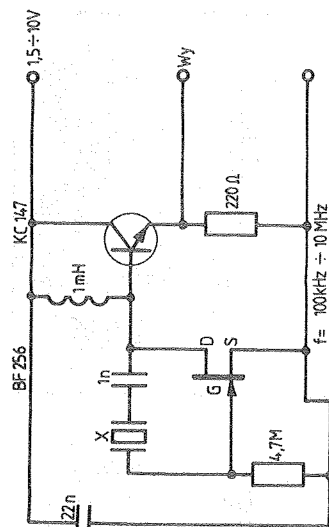
Rys. 37
Generator funkcji



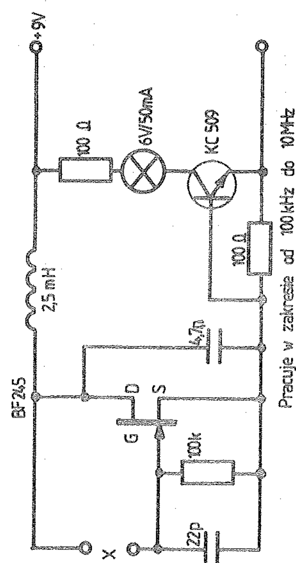
Rys. 36 Generator napięcia trójkątnego i prostokątnego.



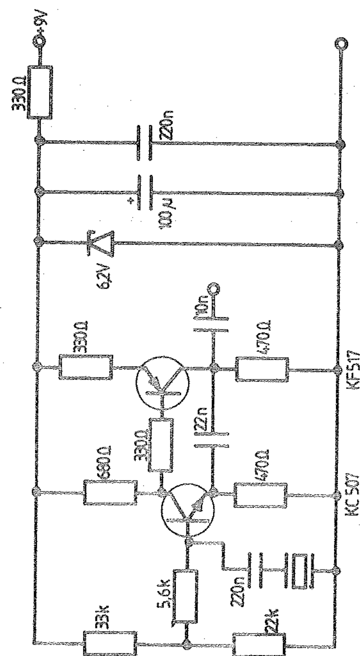
Rys. 38 Wzmacniacz fotodiody.



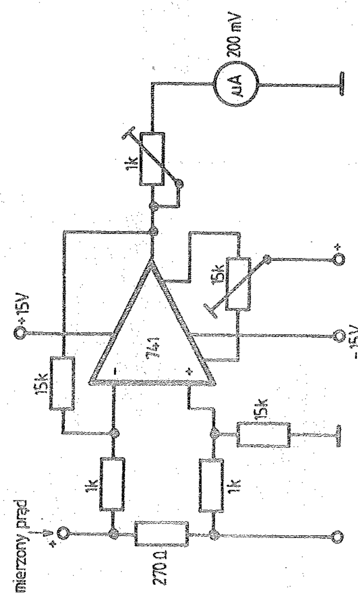
Rys. 39 Oscylator kwarcowy o małym napięciu zasilania.



Rys. 33 Próbnik rezonatorów kwarcowych.



Rys. 34 Oscylator kwarcowy.

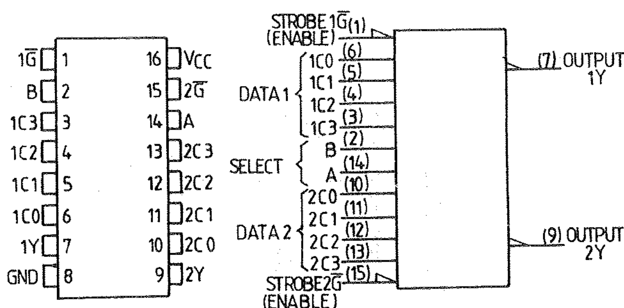


Rys. 35 Pomiar małych wartości prądu.

KATALOG cz. 8

Wykaz oznaczeń:

- V_{cc} — znamionowe napięcie zasilania
- I_I — prąd wejściowy
- f_{max} — maksymalna częstotliwość
- t_{PLH} — czas propagacji przy zmianie stanu logicznego z niskiego na wysoki
- t_{PHL} — czas propagacji przy zmianie stanu logicznego z wysokiego na niski
- t_{PZL} — czas propagacji przy zmianie stanu z wysokiej impedancji na stan niski
- t_{PZH} — czas propagacji przy zmianie stanu z wysokiej impedancji na stan wysoki
- t_{PLZ} — czas propagacji przy zmianie stanu z niskiego na wysoką impedancję
- t_{PHZ} — czas propagacji przy zmianie stanu z wysokiego na wysoką impedancję
- L — stan niski
- H — stan wysoki
- X — stan dowolny „0" lub „1"
- Z — stan wysokiej impedancji

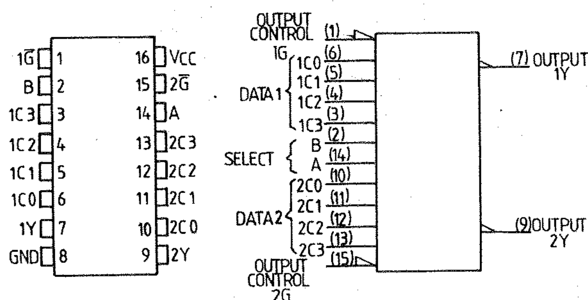


SN 74LS352

Podwójny czterowejściowy multiplexer

Wej.							Wyj.
B	A	C0	C1	C2	C3	$\overline{G}$	$\overline{Y}$
X	X	X	X	X	X	H	H
L	L	L	X	X	X	L	H
L	L	H	X	X	X	L	L
L	H	X	L	X	X	L	H
L	H	X	H	X	X	L	L
H	L	X	X	L	X	L	H
H	L	X	X	H	X	L	L
H	H	X	X	X	L	L	H
H	H	X	X	X	H	L	L

	Wej.	LS352	Jed.
V_{cc}		5	V
I_I		0,1	mA
t_{PLH}	DANE	13	ns
t_{PHL}		17	ns
t_{PLH}	A lub B	19	ns
t_{PHL}		25	ns
t_{PLH}	$\overline{G}$	16	ns
t_{PHL}		21	ns

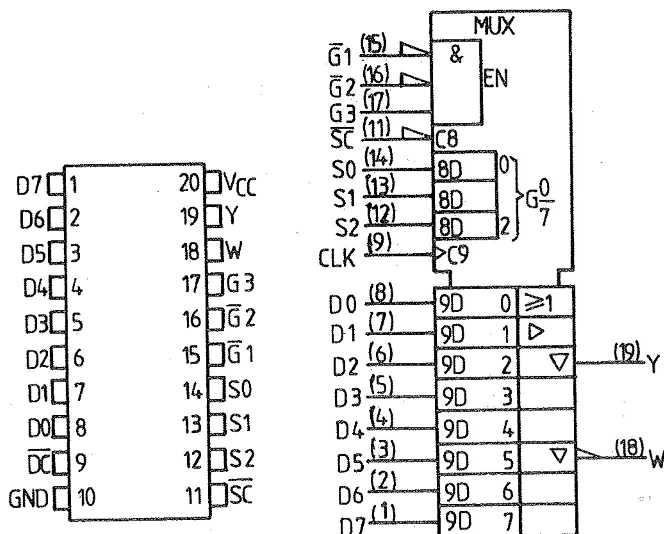


SN 74LS353

Podwójny czterowejściowy multiplexer — wyj. trójstanowe

Wej.							Wyj.
B	A	C0	C1	C2	C3	$\overline{G}$	$\overline{Y}$
X	X	X	X	X	X	H	Z
L	L	L	X	X	X	L	H
L	L	H	X	X	X	L	L
L	H	X	L	X	X	L	H
L	H	X	H	X	X	L	L
H	L	X	X	L	X	L	H
H	L	X	X	H	X	L	L
H	H	X	X	X	L	L	H
H	H	X	X	X	H	L	L

	Wej.	LS353	Jed.
V_{cc}		5	V
I_I		0,1	mA
t_{PLH}	DANE	11	ns
t_{PHL}		13	ns
t_{PLH}	A, B	20	ns
t_{PHL}		21	ns
t_{PZH}	$\overline{1G}$ lub $\overline{2G}$	11	ns
t_{PZL}		15	ns
t_{PHZ}	$\overline{1G}$ lub $\overline{2G}$	27	ns
t_{PLZ}		12	ns



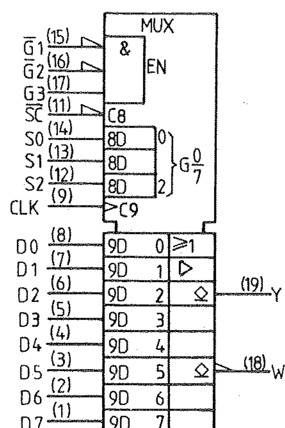
SN 74LS354

Multiplexer — rejestr z wyjściami trójstanowymi

Wej.							Wyj.	
S2	S1	S0	$\overline{DC}$	$\overline{G1}$	$\overline{G2}$	G3	W	Y
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L	L	L	L	H	$\overline{D0}$	D0
L	L	L	H	L	L	H	$\overline{D0_n}$	$D0_n$
L	L	H	L	L	L	H	$\overline{D1}$	D1
L	L	H	H	L	L	H	$\overline{D1_n}$	$D1_n$
L	H	L	L	L	L	H	$\overline{D2}$	D2
L	H	L	H	L	L	H	$\overline{D2_n}$	$D2_n$
L	H	H	L	L	L	H	$\overline{D3}$	D3
L	H	H	H	L	L	H	$\overline{D3_n}$	$D3_n$
H	L	L	L	L	L	H	$\overline{D4}$	D4
H	L	L	H	L	L	H	$\overline{D4_n}$	$D4_n$
H	L	H	L	L	L	H	$\overline{D5}$	D5
H	L	H	H	L	L	H	$\overline{D5_n}$	$D5_n$
H	H	L	L	L	L	H	$\overline{D6}$	D6
H	H	L	H	L	L	H	$\overline{D6_n}$	$D6_n$
H	H	H	L	L	L	H	$\overline{D7}$	D7
H	H	H	H	L	L	H	$\overline{D7_n}$	$D7_n$

	Wej.	Wyj.	LS354	Jed
V_{cc}			5	V
I_I			0,1	mA
t_{PLH}	D0—D7	Y	24	ns
t_{PHL}			23	ns
t_{PLH}		W	18	ns
t_{PHL}			29	ns
t_{PLH}	$\overline{DC}$	Y	28	ns
t_{PHL}			26	ns
t_{PLH}		W	22	ns
t_{PHL}			33	ns
t_{PLH}	S0, S1, S2	Y	29	ns
t_{PHL}			24	ns
t_{PLH}		W	28	ns
t_{PHL}			34	ns
t_{PLH}	$\overline{SC}$	Y	34	ns
t_{PHL}			31	ns
t_{PLH}		W	27	ns
t_{PHL}			40	ns
t_{PZH}	$\overline{G1}$, $\overline{G2}$	Y	14	ns
t_{PZL}			18	ns
t_{PZH}		W	12	ns
t_{PZL}			16	ns
t_{PZH}	G3	Y	15	ns
t_{PZL}			19	ns
t_{PZH}		W	13	ns
t_{PZL}			17	ns

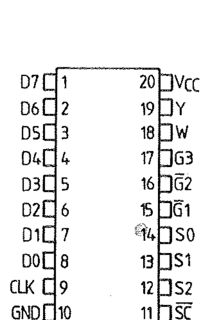
D7	1	20	V_{CC}
D6	2	19	Y
D5	3	18	W
D4	4	17	G3
D3	5	16	$\overline{G2}$
D2	6	15	$\overline{G1}$
D1	7	14	S0
D0	8	13	S1
$\overline{DC}$	9	12	S2
GND	10	11	$\overline{SC}$

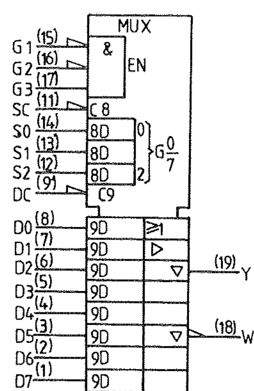


SN 74LS355

Multiplexer — rejestr z wyjściami trójstanowymi — otwarty kolektor

	Wej.	Wyj.	LS355	Jed.
V_{cc} I_I			5 0,1	V mA
t_{PLH}	D0—D7	Y	34	ns
t_{PHL}			26	ns
t_{PLH}		W	39	ns
t_{PHL}			33	ns
t_{PLH}	$\overline{DC}$ lub CLK	Y	38	ns
t_{PHL}			31	ns
t_{PLH}		W	33	ns
t_{PHL}			39	ns
t_{PLH}	S0, S1, S2	Y	39	ns
t_{PHL}			36	ns
t_{PLH}		W	32	ns
t_{PHL}			39	ns
t_{PLH}	$\overline{SC}$	Y	45	ns
t_{PHL}			42	ns
t_{PLH}		W	44	ns
t_{PHL}			45	ns
t_{PLH}	$\overline{G1}$, $\overline{G2}$	Y	21	ns
t_{PHL}			22	ns
t_{PLH}		W	18	ns
t_{PHL}			19	ns
t_{PLH}	G3	Y	24	ns
t_{PHL}			25	ns
t_{PLH}		W	19	ns
t_{PHL}			19	ns



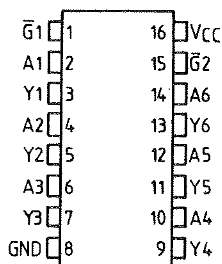


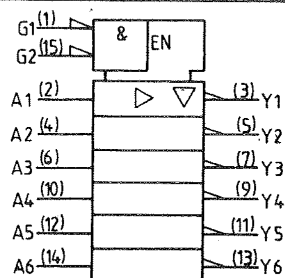
SN 74LS356

Multiplexer — rejestr z wyjściami trójstanowymi

S2	S1	S0	CLK	$\overline{G1}$	$\overline{G2}$	G3	W	Y
X	X	X	X	H	X	X	Z	Z
X	X	X	X	X	H	X	Z	Z
X	X	X	X	X	X	L	Z	Z
L	L	L		L	L	H	$\overline{D0}$	$\overline{D0}$
L	L	L	H lub L	L	L	H	$\overline{D0}_n$	$\overline{D0}_n$
L	L	H		L	L	H	$\overline{D1}$	D1
L	L	H	H lub L	L	L	H	$\overline{D1}_n$	$D1_n$
L	H	L		L	L	H	$\overline{D2}$	D2
L	H	L	H lub L	L	L	H	$\overline{D2}_n$	$D2_n$
L	H	H		L	L	H	$\overline{D3}$	D3
L	H	H	H lub L	L	L	H	$\overline{D3}_n$	$D3_n$
H	L	L		L	L	H	$\overline{D4}$	D4
H	L	L	H lub L	L	L	H	$\overline{D4}_n$	$D4_n$
H	L	H		L	L	H	$\overline{D5}$	D5
H	L	H	H lub L	L	L	H	$\overline{D5}_n$	$D5_n$
H	H	L		L	L	H	$\overline{D6}$	D6
H	H	L	H lub L	L	L	H	$\overline{D6}_n$	$D6_n$
H	H	H		L	L	H	$\overline{D7}$	D7
H	H	H	H lub L	L	L	H	$\overline{D7}_n$	$D7_n$

	Wej.	Wyj.	LS356	Jed.
V_{cc} I_I			5 0,1	V mA
t_{PLH}	$\overline{DC}$	Y	19	ns
t_{PHL}			33	ns
t_{PLH}		W	24	ns
t_{PHL}			18	ns
t_{PLH}	S0, S1, S2	Y	30	ns
t_{PHL}			28	ns
t_{PLH}		W	30	ns
t_{PHL}			30	ns
t_{PLH}	$\overline{SC}$	Y	36	ns
t_{PHL}			30	ns
t_{PLH}		W	32	ns
t_{PHL}			36	ns
t_{PZH}	$\overline{G1}$, $\overline{G2}$	Y	14	ns
t_{PZL}			17	ns
t_{PZH}		W	14	ns
t_{PZL}			16	ns
t_{PZH}	G3	Y	15	ns
t_{PZL}			18	ns
t_{PZH}		W	14	ns
t_{PZL}			16	ns

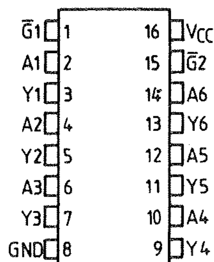


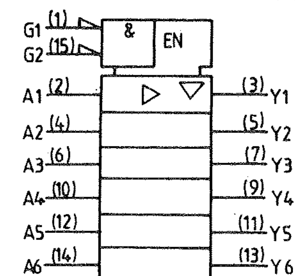


SN 74365A

Sześć buforów — wzmacniaczy z wyjściami trójstanowymi

	Wej.	Wyj.	365A	LS365A	Jed.
V_{cc} I_I			5 1	5 0,1	V mA
t_{PLH}	A	Y	16	10	ns
t_{PHL}			22	9	ns
t_{PZH}			35	19	ns
t_{PZL}			37	24	ns
t_{PHZ}			11		ns
t_{PLZ}			27		ns

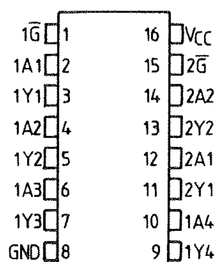


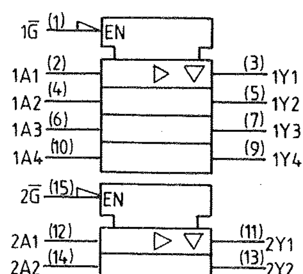


SN 74366A

Sześć buforów — wzmacniaczy z wyjściami trójstanowymi

	Wej.	Wyj.	366A	LS366A	Jed.
V_{cc} I_I			5 1	5 0,1	V mA
t_{PLH}	A	Y	17	7	ns
t_{PHL}			16	12	ns
t_{PZH}			35	18	ns
t_{PZL}			37	28	ns
t_{PHZ}			11		ns
t_{PLZ}			27		ns





SN 74367A

Sześć buforów — wzmacniaczy z wyjściami trójstanowymi

	Wej.	Wyj.	367A	LS367A	Jed.
V_{cc} I_I			5 1	5 0,1	V mA
t_{PLH}	A	Y	16	10	ns
t_{PHL}			22	9	ns
t_{PZH}			35	19	ns
t_{PZL}			37	24	ns
t_{PHZ}			11		ns
t_{PLZ}			27		ns

OGŁOSZENIA

SPROSTOWANIE

Redakcja przeprasza za błąd, jaki zakradł się do ogłoszenia dotyczącego kupna złącz krawędziowych „LDB". Chodzi mianowicie o błędnie podany numer telefonu 29-81-95. Prawidłowy numer powinien być 29-81-53